

PCT/JP2004/016183

日 本 国 特 許 庁
JAPAN PATENT OFFICE

25.10.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

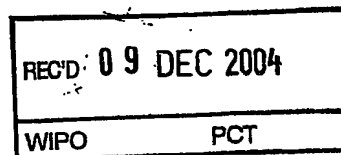
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年10月28日

出 願 番 号
Application Number: 特願2003-368166

[ST. 10/C]: [J P 2003-368166]

出 願 人
Applicant(s): 株式会社半導体エネルギー研究所

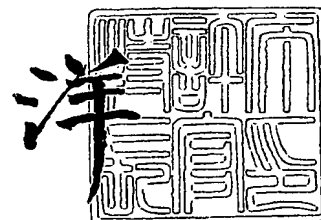


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年11月26日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特2004-3107321

【書類名】 特許願
【整理番号】 P007465
【提出日】 平成15年10月28日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】 山崎 舜平
【発明者】
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】 前川 慎志
【発明者】
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】 古野 誠
【発明者】
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】 中村 理
【発明者】
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】 今井 馨太郎
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、前記ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層とが基板側から積層された薄膜トランジスタと、前記薄膜トランジスタと接続する画素電極とが備えられていることを特徴とする液晶表示装置。

【請求項 2】

液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、前記ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層と、ソース及びドレインに接続され酸素又は炭素を含む導電性材料で形成される配線層と、前記配線層に接して形成された窒化珪素層若しくは窒化酸化珪素層とが基板側から積層された薄膜トランジスタと、前記薄膜トランジスタと接続する画素電極とが備えられたことを特徴とする液晶表示装置。

【請求項 3】

液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、前記ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層とが基板側から積層された第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタと接続する画素電極と、前記第 1 の薄膜トランジスタと同じ層構造で形成された第 2 の薄膜トランジスタにより構成される駆動回路と、前記駆動回路から延在し、前記第 1 の薄膜トランジスタのゲート電極層と接続する配線層とが備えられていることを特徴とする液晶表示装置。

【請求項 4】

液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、前記ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層と、ソース及びドレインに接続され酸素又は炭素を含む導電性材料で形成される配線層と、前記配線層に接して形成された窒化珪素層若しくは窒化酸化珪素層とが基板側から積層された第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタと接続する画素電極と、前記第 1 の薄膜トランジスタと同じ層構造で形成された第 2 の薄膜トランジスタにより構成される駆動回路と、前記駆動回路から延在し、前記第 1 の薄膜トランジスタのゲート電極層と接続する配線層とが備えられていることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記導電性材料が、A g 若しくは A g を含む合金であることを特徴とする液晶表示装置。

【請求項 6】

請求項 2 又は 4 において、前記半導体層が、水素とハロゲン元素を含み、結晶構造を含むセミアモルファス半導体であることを特徴とする液晶表示装置。

【請求項 7】

請求項 2 又は 4 において、前記駆動回路が、n チャネル型の薄膜トランジスタのみで構成されていることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至 4 のいずれか一項において、前記薄膜トランジスタは、前記半導体層が、水素とハロゲン元素を含み、結晶構造を含む半導体であって、 $5 \sim 15 \text{ cm}^2/\text{V} \cdot \text{s}$ の電界効果移動度で動作可能な薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項の液晶表示装置で、表示画面を構成したことを特徴とする液晶テレビ受像器。

【請求項 10】

絶縁表面を有する基板上に、液滴吐出法でゲート電極層を形成する第1の段階と、
前記ゲート電極層上に、ゲート絶縁層、半導体層、絶縁層を積層形成する第2の段階と、
、
前記ゲート電極層と重なる位置に、液滴吐出法で第1のマスクを形成する第3の段階と、
、
前記第1のマスクにより、前記絶縁層をエッチングしてチャネル保護層を形成する第4の段階と、
一導電型の不純物を含有する半導体層を形成する第5の段階と、
前記ゲート電極層を含む領域に、液滴吐出法で第2のマスクを形成する第6の段階と、
前記一導電型の不純物を含有する半導体層と、前記半導体層とをエッチングする第7の段階と、
液滴吐出法で、ソース及びドレイン配線層を形成する第8の段階と、
前記ソース及びドレイン配線層をマスクとして、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第9の段階
の各段階を含むことを特徴とする液晶表示装置の作製方法。

【請求項11】

絶縁表面を有する基板上に、液滴吐出法でゲート電極層と、接続配線層を形成する第1の段階と、
前記ゲート電極層上に、ゲート絶縁層、半導体層、絶縁層を積層形成する第2の段階と、
、
前記ゲート電極層と重なる位置に、液滴吐出法で第1のマスクを形成する第3の段階と、
、
前記第1のマスクにより、前記絶縁層をエッチングしてチャネル保護層を形成する第4の段階と、
一導電型の不純物を含有する半導体層を形成する第5の段階と、
前記ゲート電極層を含む領域に、液滴吐出法で第2のマスクを形成する第6の段階と、
前記一導電型の不純物を含有する半導体層と、前記半導体層とをエッチングする第7の段階と、
前記ゲート絶縁層を選択的にエッチングして、前記接続配線層の一部を露出させる第8の段階と、
液滴吐出法で、ソース及びドレイン配線層を形成すると共に、少なくとも一方の配線層を前記接続配線層と接続する第9の段階と、
前記ソース及びドレイン配線層をマスクとして、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第10の段階
の各段階を含むことを特徴とする液晶表示装置の作製方法。

【請求項12】

請求項10又は11において、前記第2の段階は、大気に晒すことなく連続的に行うことを特徴とする液晶表示装置の作製方法。

【請求項13】

請求項10又は11において、前記ゲート絶縁膜は、第1の窒化珪素膜と、酸化珪素膜と、第2の窒化珪素膜を順次積層することを特徴とする液晶表示装置の作製方法。

【書類名】 明細書

【発明の名称】 液晶表示装置及びその作製方法、並びに液晶テレビ受像機

【技術分野】

【0001】

本発明は、大面積ガラス基板上に形成したトランジスタなどの能動素子をもって構成される液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

従来、ガラス基板上の薄膜トランジスタ（以下「TFT」ともいう。）によって構成される、所謂アクティブマトリクス駆動方式の液晶表示パネルは、半導体集積回路の製造技術と同様に、フォトリソグラフィーを用いた露光工程により、各種薄膜をパターニングすることにより製造されてきた。

【0003】

これまで、一枚のマザーガラス基板から複数の液晶表示パネルを切り出して、大量生産を効率良く行う生産技術が採用されてきた。マザーガラス基板のサイズは、1990年初頭における第1世代の300×400mmから、2000年には第4世代となり680×880mm若しくは730×920mmへと大型化して、一枚の基板から多数の表示パネルが取れるように生産技術が進歩してきた。

【0004】

ガラス基板若しくは表示パネルのサイズが小さい場合には、露光装置により比較的簡便にパターニング処理を行うことが可能であったが、基板サイズが大型化するにつれ、1回の露光処理で表示パネルの全面を同時に処理することが不可能となっていた。その結果、フォトリソグラフィーが塗布された領域を複数に分割して、所定のブロック領域毎に露光処理を行い、順次それを繰り返して基板全面の露光を行う方法などが開発されてきた（例えば、特許文献1参照。）。

【特許文献1】 特開平11-326951号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ガラス基板のサイズは、第5世代で1000×1200mm若しくは1100×1300mmへとさらに大型化し、次世代では1500×1800mm若しくはそれ以上のサイズが想定されるにつれ、従来のパターニング方法では、生産性良く、低コストで表示パネルを製造することが困難となって来た。すなわち、つなぎ露光により多数回の露光処理を行えば処理時間は増大し、基板の大型化に対応した露光装置の開発には多大な投資が必要となって来た。

【0006】

そればかりでなく、基板の全面に各種の被膜を形成し、僅かな領域を残してエッチング除去する工法では、材料コストを浪費し、多量の廃液を処理することが要求されてしまうという問題点が内在していた。

【0007】

本発明は、このような状況に鑑み成されたものであり、材料の利用効率を向上させ、かつ、作製工程を簡略化して作製可能な液晶表示装置及びその製造技術を提供することを目的としている。

【課題を解決するための手段】

【0008】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスク層など液晶表示装置を作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、液晶表示装置を製造することを特徴とするものである。選択的にパターンを形成可能な方法として、導電層や絶縁層など形成し対し、特定の目的に調合された組成物の液滴を選択的に吐出して所定

のパターンを形成することが可能な、液滴吐出法（その方式によっては、インクジェット法とも呼ばれる。）を用いる。

【0009】

本発明は、絶縁表面を有する基板上に液滴吐出法でゲート電極層を形成する第1の段階と、ゲート電極層上に、ゲート絶縁層、半導体層、絶縁層を積層形成する第2の段階と、ゲート電極層と重なる位置に液滴吐出法で第1のマスクを形成する第3の段階と、第1のマスクにより絶縁層をエッチングしてチャネル保護層を形成する第4の段階と、一導電型の不純物を含有する半導体層を形成する第5の段階と、ゲート電極層を含む領域に液滴吐出法で第2のマスクを形成する第6の段階と、一導電型の不純物を含有する半導体層と、その下層側に位置する半導体層とをエッチングする第7の段階と、液滴吐出法でソース及びドレイン配線層を形成する第8の段階と、ソース及びドレイン配線層をマスクとしてチャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第9の段階の各段階を含むことを特徴としている。

【0010】

本発明は、絶縁表面を有する基板上に液滴吐出法でゲート電極層と接続配線層を形成する第1の段階と、ゲート電極層上に、ゲート絶縁層、半導体層、絶縁層を積層形成する第2の段階と、ゲート電極層と重なる位置に液滴吐出法で第1のマスクを形成する第3の段階と、第1のマスクにより絶縁層をエッチングしてチャネル保護層を形成する第4の段階と、一導電型の不純物を含有する半導体層を形成する第5の段階と、ゲート電極層を含む領域に液滴吐出法で第2のマスクを形成する第6の段階と、一導電型の不純物を含有する半導体層とその下層側に位置する半導体層とをエッチングする第7の段階と、ゲート絶縁層を選択的にエッチングして接続配線層の一部を露出させる第8の段階と、液滴吐出法でソース及びドレイン配線層を形成すると共に少なくとも一方の配線層を前記接続配線層と接続する第9の段階と、ソース及びドレイン配線層をマスクとしてチャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第10の段階の各段階を含むことを特徴としている。

【0011】

上記した第2の段階は、プラズマを援用した気相成長法（プラズマCVD）又はスパッタリング法により、ゲート絶縁層、半導体層及び絶縁層の各層を大気に晒すことなく連続的に形成することが好ましい。

【0012】

ゲート絶縁膜は、第1の窒化珪素膜、酸化珪素膜及び第2の窒化珪素膜を順次積層して形成することで、ゲート電極の酸化を防止出来、かつ、ゲート絶縁膜の上層側に形成する半導体層と良好な界面を形成することが出来る。

【0013】

前記したように、本発明は、ゲート電極層や配線層、及びパターンニングの時に利用するマスクを形成する際に液滴吐出法により行うことを特徴としているが、液晶表示装置を製作するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、液晶表示装置を製造することでその目的は達成される。

【0014】

本発明の液晶表示装置は、液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層とが基板側から積層された薄膜トランジスタと、薄膜トランジスタと接続する画素電極とが備えられていることを特徴としている。

【0015】

本発明の液晶表示装置は、液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層と、ソース及び

ドレインに接続され酸素又は炭素を含む導電性材料で形成される配線層と、配線層に接して形成された窒化珪素層若しくは窒化酸化珪素層とが基板側から積層された薄膜トランジスタと、薄膜トランジスタと接続する画素電極とが備えられたことを特徴としている。

【0016】

本発明の液晶表示装置は、液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層とが基板側から積層された第1の薄膜トランジスタと、第1の薄膜トランジスタと接続する画素電極と、第1の薄膜トランジスタと同じ層構造で形成された第2の薄膜トランジスタにより構成される駆動回路と、駆動回路から延在し第1の薄膜トランジスタのゲート電極層と接続する配線層とが備えられていることを特徴としている。

【0017】

本発明の液晶表示装置は、液晶を挟持する一方の基板に、酸素又は炭素を含む導電性材料から形成されたゲート電極層と、ゲート電極層と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁膜と、半導体層と、ソース及びドレインに接続され酸素又は炭素を含む導電性材料で形成される配線層と、配線層に接して形成された窒化珪素層若しくは窒化酸化珪素層とが基板側から積層された第1の薄膜トランジスタと、第1の薄膜トランジスタと接続する画素電極と、第1の薄膜トランジスタと同じ層構造で形成された第2の薄膜トランジスタにより構成される駆動回路と、駆動回路から延在し、第1の薄膜トランジスタのゲート電極層と接続する配線層とが備えられていることを特徴としている。

【0018】

本発明は、ゲート電極層又は配線層を液滴吐出法で形成するものであり、導電性材料はAg若しくはAgを含む合金で形成することができる。また、そのゲート電極層又は配線層の上層には、窒化珪素膜若しくは窒化酸化珪素膜を接して設けることで酸化による劣化を防止することができる。

【0019】

本発明は、薄膜トランジスタの主要部である半導体層を、水素とハロゲン元素を含み、結晶構造を含むセミアモルファス半導体で形成することも可能であり、それにより、nチャネル型の薄膜トランジスタのみで構成される駆動回路を設けることができる。すなわち、半導体層に水素とハロゲン元素を含み結晶構造を含む半導体であって、 $1 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度で動作可能な薄膜トランジスタにより駆動回路を同一基板上に実現することができる。

【発明の効果】

【0020】

本発明によれば、液滴吐出法により、配線層やマスクのパターニングを直接行うことができるので、材料の利用効率を向上させて、かつ、作製工程を簡略化した薄膜トランジスタ及びそれを用いた液晶表示装置を得ることができる。

【発明を実施するための最良の形態】

【0021】

本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下の説明において、各図面間で共通する同等部位においては、同じ符号を付けて示すこととし、重複する説明については省略する。また、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解されるものであり、以下に示す態様に限定して解釈されるものでない。

【0022】

図1は本発明に係る液晶表示パネルの構成を示す上面図であり、絶縁表面を有する基板100上に画素102をマトリクス上に配列させた画素部101、走査線側入力端子103、信号線側入力端子104が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば $1024 \times 768 \times 3$ (RGB)、UXGAであれば 1600×12

00×3 (RGB)、フルスペックハイビジョンに対応させるのであれば1920×1080×3 (RGB) とすれば良い。

【0023】

画素102は、走査線側入力端子103から延在する走査線と、信号線側入力端子104から延在する信号線とが交差することで、マトリクス状に配設される。画素102のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例はTFTであり、TFTのゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

【0024】

TFTは、その主要な構成要素として、半導体層、ゲート絶縁層及びゲート電極層が挙げられ、半導体層に形成されるソース及びドレイン領域に接続する配線層がそれに付随する。構造的には基板側から半導体層、ゲート絶縁層及びゲート電極層を配設したトップゲート型と、基板側からゲート電極層、ゲート絶縁層及び半導体層を配設したボトムゲート型などが代表的に知られているが、本発明においてはそれらの構造のどのようなものを用いても良い。

【0025】

半導体層を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるアモルファス半導体（以下「AS」ともいう。））、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス（微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。）半導体などを用いることができる。

【0026】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5～20nmの結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解（プラズマCVD）して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また GeF_4 を混合させても良い。この珪化物気体を H_2 、又は、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2～1000倍の範囲。圧力は概略0.1Pa～133Paの範囲、電源周波数は1MHz～120MHz、好ましくは13MHz～60MHz。基板加熱温度は300℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。

【0027】

図1は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する液晶表示パネルの構成を示しているが、図2に示すように、COG (Chip on Glass)によりドライバICを基板100上に実装しても良い。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にTFTで回路を形成したものであっても良い。

【0028】

また、画素に設けるTFTをSASで形成する場合には、図3に示すように走査線側駆動回路107を基板100上に形成し一体化することも出来る。

【0029】

パターンの形成に用いる液滴吐出装置の一態様は図25に示されている。液滴吐出手段1403の個々のヘッド1405は制御手段1407に接続され、それがコンピュータ1

410で制御することにより予めプログラミングされたパターンを描画することができる。描画するタイミングは、例えば、基板1400上に形成されたマーカー1411を基準に行えば良い。或いは、基板1400の縁を基準にして基準点を確定させても良い。これをCCDなどの撮像手段1404で検出し、画像処理手段1409にてデジタル信号に変換したものをコンピュータ1410で認識して制御信号を発生させて制御手段1407に送る。勿論、基板1400上に形成されるべきパターンの情報は記憶媒体1408に格納されたものであり、この情報を基にして制御手段1407に制御信号を送り、液滴吐出手段1403の個々のヘッド1405を個別に制御することができる。

【0030】

次に、画素102の詳細について、液滴吐出法を用いた作製工程に従い説明する。

【0031】

(第1の実施の形態)

第1の実施の形態として、チャネル保護型の薄膜トランジスタの作製方法について説明する。

【0032】

図4(A)は、基板100上にゲート電極層と、ゲート電極層と接続するゲート配線層を液滴吐出法で形成する工程を示している。なお、図4(A)は縦断面構造を模式的に示し、A-B及びC-Dに対応する平面構造を図13に示すので同時に参照することが出来る。

【0033】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。

【0034】

基板100上には、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タングステン)、Cr(クロム)、Al(アルミニウム)、Ta(タンタル)、Ni(ニッケル)、Zr(ジルコニウム)、Hf(ハフニウム)、V(バナジウム)、Ir(イリジウム)、Nb(ニオブ)、Pd(パラジウム)、Pt(白金)、Mo(モリブデン)、Co(コバルト)又はRh(ロジウム)の金属材料で形成される導電体層201を形成することが好ましい。導電体層201は0.01~10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。なお、この導電体層201は、ゲート電極層を密着性良く形成するために設けるものであり、十分な密着性が得られるのであれば、これを省略して基板100上にゲート電極層を直接形成しても良い。

【0035】

導電体層201上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線層202、ゲート電極層203、容量配線層204を形成する。これらの層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)を組み合わせても良い。特に、ゲート配線層は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0036】

液滴吐出法において用いるノズルの径は、 $0.02 \sim 100 \mu\text{m}$ (好適には $30 \mu\text{m}$ 以下) に設定し、該ノズルから吐出される組成物の吐出量は $0.001 \text{pl} \sim 100 \text{pl}$ (好適には 10pl 以下) に設定することが好ましい。液滴吐出法には、オンデマンド型とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、そのどちらの方式を用いてもよい。被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には $0.1 \sim 3 \text{mm}$ (好適には 1mm 以下) 程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動して、所望のパターンを描画する。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎液性になったりすることを利用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎液性になる。

【0037】

組成物を吐出する工程は、減圧下で行っても良い。これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。組成物の吐出後は、常圧下又は減圧下で、レーザー光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は 100 度で3分間、焼成は $200 \sim 350$ 度で15分間～120分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、 $100 \sim 800$ 度 (好ましくは $200 \sim 350$ 度) とする。本工程により、組成物中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行うことが好適である。

【0038】

レーザー光の照射は、連続発振またはパルス発振の気体レーザー又は固体レーザーを用いれば良い。前者の気体レーザーとしては、エキシマレーザー、YAGレーザー等が挙げられ、後者の固体レーザーとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使ったレーザー等が挙げられる。なお、レーザー光の吸収率の関係から、連続発振のレーザーを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザー照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザー光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール (RTA) は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えないという利点がある。

【0039】

ゲート配線層202、ゲート電極層203及び容量配線層204を形成を形成した後、表面に露出している導電体層201の処理として、下記の2つの工程のうちどちらかの工程を行うことが望ましい。

【0040】

第一の方法としては、ゲート配線層202、ゲート電極層203及び容量配線層204と重ならない導電体層201を絶縁化して、絶縁体層205～207を形成する工程である (図4 (B) 参照。)。つまり、ゲート配線層202、ゲート電極層203及び容量配線層204と重ならない導電体層201を酸化して絶縁化する。このように、導電体層201を絶縁化する場合には、当該導電体層201を $0.01 \sim 10 \text{nm}$ の厚さで形成しておくことが好適であり、そうすると酸化して絶縁層となる。なお、酸化する方法としては

、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0041】

第2の方法としては、ゲート配線層202、ゲート電極層203及び容量配線層204をマスクとして、導電体層201をエッチングして除去する工程である。この工程を用いる場合には導電体層201の厚さに制約はない。

【0042】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層を単層又は積層構造で形成する(図4(C)参照。)。特に好ましい形態としては、窒化珪素からなる絶縁体層208、酸化珪素からなる絶縁体層209、窒化珪素からなる絶縁体層210の3層の積層体がゲート絶縁膜に相当する。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。ゲート配線層202、ゲート電極層203及び容量配線層204に接する第1の層を窒化珪素若しくは窒化酸化珪素で形成することで、酸化による劣化を防止することができる。

【0043】

次に、半導体層211を形成する。半導体層211は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるAS、或いはSASで形成する。

【0044】

プラズマCVD法を用いる場合、ASは半導体材料ガスである SiH_4 若しくは SiH_4 と H_2 の混合気体を用いて形成する。SASは、 SiH_4 を H_2 で3倍～1000倍に希釈して混合気体、若しくは Si_2H_6 と GeF_4 のガス流量比を Si_2H_6 対 GeF_4 を20～40対0.9で希釈すると、Siの組成比が80%以上であるSASを得ることができる。特に、後者の場合は下地との界面から結晶性を半導体層211に持たせることが出来るため好ましい。

【0045】

半導体層211上には、絶縁体層212をプラズマCVD法やスパッタリング法で形成する。この絶縁体層212は、後の工程で示すように、ゲート電極層と相対して半導体層611上に残存させて、チャネル保護層とするものである。界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層211が汚染されることを防ぐ効果を得るために、緻密な膜で形成することが好ましい。グロー放電分解法においても、珪化物気体をアルゴンなどの珪化物気体で100倍～500倍に希釈して形成された窒化珪素膜は、100℃以下の成膜温度でも緻密な膜を形成可能であり好ましい。さらに必要があれば絶縁膜を積層して形成してもよい。

【0046】

これでの工程において、以上、絶縁体層208から絶縁体層212までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることがなく各積層界面を形成することができるので、TFTの特性のばらつきを低減することができる。

【0047】

次に、絶縁体層212上であって、ゲート電極層203と相対する位置に、組成物を選択的に吐出して、マスク213を形成する(図4(C)参照。)。マスク213は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、バリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調

整したり、界面活性剤等を加えたりして適宜調整する。

【0048】

マスク 213 を利用して、絶縁体層 212 をエッチングして、チャネル保護層として機能する絶縁体層 214 を形成する。マスク 213 を除去して、半導体層 211 及び絶縁体層 214 上に n 型の半導体層 215 を形成する (図 4 (C) 参照。)。n 型の半導体層 215 は、シランガスとフォスフィンガスを用いて形成すれば良く、AS 若しくは SAS で形成することができる。その後、次に、半導体層 215 上に、マスク 216 を液滴吐出法で形成する。このマスク 216 を利用して、n 型の半導体層 215 及び半導体層 211 をエッチングして半導体層 217 と一導電型を有する半導体層 218 を形成する (図 5 (A) 参照。)。なお、図 5 (A) は縦断面構造を模式的に示し、A-B 及び C-D に対応する平面構造を図 14 に示すので同時に参照する。

【0049】

続いて、マスク 216 を除去後、導電性材料を含む組成物を選択的に吐出して、ソース及びドレイン配線層 219、220 を液滴吐出法で形成する (図 5 (A) 参照。)。また、図 5 (B) は縦断面構造を模式的に示し、A-B 及び C-D に対応する平面構造を図 15 に示す。図 15 で示すように、基板 100 の一端から延びる信号配線 201 も形成する。これはソース及びドレイン配線層 619 と電気的に接続するように配設する。この配線層を形成する導電性材料としては、Ag (銀)、Au (金)、Cu (銅)、W (タングステン)、Al (アルミニウム) 等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物 (ITO)、インジウム錫酸化物と酸化珪素からなる ITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0050】

次に、ソース及びドレイン配線層 619、620 をマスクとして、絶縁体層 214 上の n 型の半導体層 218 をエッチングして、ソース及びドレイン領域を形成する n 型の半導体層 221、222 を形成する (図 5 (C) 参照。)。

【0051】

続いて、ソース及びドレイン配線層 220 と電気的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極に相当する画素電極層 224 を形成する。画素電極層 224 は、透過型の液晶表示パネルを作製する場合には、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化スズ (SnO₂) などを含む組成物により所定のパターンを形成し、焼成によって画素電極を形成しても良い。また、反射型の液晶表示パネルを作製する場合には、Ag (銀)、Au (金)、Cu (銅)、W (タングステン)、Al (アルミニウム) 等の金属の粒子を主成分とした組成物を用いることができる。他の方法としては、スパッタリング法により透明導電膜若しくは光反射性の導電膜を形成して、液滴吐出法によりマスクパターンを形成し、エッチング加工を組み合わせる画素電極層を形成しても良い (図 6 (A) 参照。)。なお、図 6 (A) は縦断面構造を模式的に示し、A-B 及び C-D に対応する平面構造を図 16 に示すので同時に参照することができる。

【0052】

以上の工程により、基板 100 上にボトムゲート型 (逆スタガ型ともいう。) の TFT と画素電極が接続された液晶表示パネル用の TFT 基板 200 が完成する。

【0053】

次に、画素電極層 224 を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁体層 225 を形成する。なお、絶縁体層 225 は、スクリーン印刷法やオフセット印刷法を用いれば、図示するように選択的に形成することができる。その後、ラビングを行う。続いて、シール材 226 を液滴吐出法により画素を形成した周辺の領域に形成する (図 6 (B) 参照。)。

【0054】

その後、配向膜として機能する絶縁体層 227、対向電極として機能する導電体層 22

8が設けられた対向基板229とTFT基板200とをスペーサを介して貼り合わせ、その空隙に液晶層を設けることにより液晶表示パネルを作製することができる(図6(C)参照。)。シール材226にはフィラーが混入されていても良く、さらに対向基板229には、カラーフィルタや遮蔽膜(ブラックマトリクス)などが形成されていても良い。なお、液晶層を形成する方法として、ディスペンサ式(滴下式)や、対向基板229を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いることができる。

【0055】

ディスペンサ方式を採用した液晶滴下注入法は、シール材226で閉ループを形成し、その中に液晶を1回若しくは複数回滴下する。続いて、真空中で基板を貼り合わせ、その後紫外線硬化を行って、液晶が充填された状態とする。

【0056】

次に、大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により231に示す領域の絶縁体層208~210を除去する(図7(A)参照。)。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するために、対向基板を用いて封止した後、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

【0057】

続いて、異方性導電体層を介して、ゲート配線層202が電氣的に接続するように、接続用の配線基板232を設ける。配線基板232は、外部からの信号や電位を伝達する役目を担う。上記工程を経て、チャンネル保護型のスイッチング用TFT233と容量素子234を含む液晶表示パネルが完成する。容量素子234は、容量配線層204とゲート絶縁層と画素電極層224とで形成される。

【0058】

以上示したように、本実施の形態では、フォトリソマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易に液晶表示パネルを製造することができる。

【0059】

(第2の実施の形態)

第1の実施の形態では、画素電極層224とソース及びド레인配線層220とが直接コンタクトを形成する構成について示したが、他の形態として、この両者の間に絶縁層を介在させても良い。

【0060】

この場合には、図5(C)までの工程が終了したら、保護膜として機能する絶縁体層240を形成する(図8(A)参照。)。この保護膜は、窒化珪素や酸化珪素の被膜をスパッタリング法やプラズマCVD法で形成したものを適用すれば良い。絶縁体層240に開口部241を形成する必要があるが生じ、該開口部241を介して、ソース及びド레인配線層220と画素電極層224電氣的に接続させる(図8(B)参照。)。なお、開口部241の形成時には、後に接続端子を貼り付けるために必要な開口部242も同時に形成するとよい。

【0061】

開口部241、242の形成方法は特に限定されないが、例えば、大気圧のプラズマエッチングにより、選択的に開孔を開けることもできるし、液滴吐出法によりマスクを形成した後、ウェットエッチング処理を行っても良い。また、液滴吐出法により無機シロキサン若しくは有機シロキサン系の被膜を形成して絶縁体層240とすれば、開孔を形成する工程は省略可能である。

【0062】

以上の様にして、図9に示す液晶表示パネルが完成する。

【0063】

(第3の実施の形態)

第3の実施の形態として、チャネルエッチ型の薄膜トランジスタの作製方法について説明する。

【0064】

基板100上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線層202、ゲート電極層203、容量配線層204を形成する。次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁体層208、酸化珪素からなる絶縁体層209、窒化珪素からなる絶縁体層210の3層の積層体がゲート絶縁膜に相当する。さらに、活性層として機能する半導体層211まで形成する。以上の工程は第1の実施の形態と同様である。

【0065】

半導体層211上に、n型の半導体層301を形成する(図10(A)参照。)。次に、半導体層301上に、組成物を選択的に吐出してマスク302を形成する。続いて、マスク302を利用して、半導体層211とn型の半導体層301を同時にエッチングして、半導体層303とn型の半導体層304を形成する。その後、半導体層304上に、導電性材料を含む組成物を吐出して、ソース及びドレイン配線層305、306を形成する(図10(B)参照。)。

【0066】

次に、ソース及びドレイン配線層305、306をマスクとして、n型の半導体層304をエッチングして、半導体層307、308を形成する。この際、半導体層303も少しエッチングされて、半導体層309が形成される。続いて、ソース及びドレイン配線層306と電気的に接続するように、導電性材料を含む組成物を吐出して、画素電極層310を形成する(図10(C)参照。)。

【0067】

次に、配向膜として機能する絶縁体層311を形成する。続いて、シール材312を形成し、該シール材312を用いて、基板100と、対向電極314と配向膜313が形成された基板315を貼り合わせる。その後、基板100と基板315の間に液晶層316を形成する。次に、接続端子317を貼り付ける領域を大気圧又は大気圧近傍下でエッチングして露出させ、該接続端子317を貼り付けたら、表示機能を有する液晶表示パネルを作製することができる(図11参照。)。

【0068】

(第4の実施の形態)

第4の実施の形態として、液滴吐出法により作製されるトップゲート型のTFTについて、図29を参照して説明する。

【0069】

基板100上に液滴吐出法により、ソース及びドレイン配線層271~275を形成する。これらの層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。特に、ソース及びドレイン配線層は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また、第1の実施の形態と同様に下地層を形成しても良い。

【0070】

ソース及びドレイン配線層271~275上にn型の半導体層を全面に形成した後、ソース及びドレイン配線層272と277の間、及びソース及びドレイン配線層274と275の間にあるn型の半導体層をエッチングして除去する。そして、AS若しくはSAS

を気相成長法若しくはスパッタリング法で形成する。プラズマCVD法を用いる場合、A Sは半導体材料ガスであるSiH₄若しくはSiH₄とH₂の混合気体を用いて形成する。SASは、SiH₄をH₂で3倍～1000倍に希釈して混合気体で形成する。このガス種でSASを形成する場合には、半導体層の表面側の方が結晶性が良好であり、ゲート電極を半導体層の上層に形成するトップゲート型のTFETとの組み合わせは適している。

【0071】

半導体層278は、液滴吐出法により形成したマスク層を使って、ソース及びドレイン配線層272～275に対応する位置に形成する。すなわち、ソース及びドレイン配線層272と2753（若しくは274と275）とを跨るように半導体層278を形成する。この時、半導体層278と、ソース及びドレイン配線層272～275との間にはn型の半導体層276～277が介在する形となる。

【0072】

次いで、次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層207を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁体層208、酸化珪素からなる絶縁体層209、窒化珪素からなる絶縁体層210の3層の積層体をゲート絶縁膜として構成させる。

【0073】

ゲート絶縁層207に貫通孔を形成し、ソース及びドレイン配線273、275の一部を露出させた後、ゲート電極層279、280を液滴吐出法で形成する。この層を形成する導電性材料としては、Ag（銀）、Au（金）、Cu（銅）、W（タングステン）、Al（アルミニウム）等の金属の粒子を主成分とした組成物を用いることができる。

【0074】

ソース及びドレイン配線層275と電気的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極に相当する第1電極層226を形成する。以上までの工程により、スイッチング用TFET291、駆動用TFET292、容量部293が形成されたTFET基板を得ることができる。

【0075】

この第1電極層226は、液滴吐出法を用いて、第1電極層226は、透過型のEL表示パネルを作製する場合には、インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化スズ（SnO₂）などを含む組成物により所定のパターンを形成し、焼成によって画素電極を形成しても良い。

【0076】

また、好ましくは、スパッタリング法によりインジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）などで形成する。より好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いても良い。

【0077】

本実施の形態の好ましい構成として、酸化珪素を含む酸化インジウムスズで形成される第1電極層226は、ゲート絶縁層207に含まれる窒化珪素からなる絶縁層210と密接して形成され、それによりEL層で発光した光が外部に放射される割合を高めることができるという効果を発現させることができる。

【0078】

さらに全面に絶縁体層228を形成する。絶縁体層228は、次に、スピンコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図26に示すように開孔を形成する。このエッチングは、絶縁層228の下層にある保護層227やゲート絶縁層207を同時に行うことで、第1電極層226と、ソース及びドレイン配線層271が露出するように加工する。また、液滴吐出法により絶縁層228を形成すれば、エッチング加工は必ずしも必要ない。

【0079】

絶縁体層228は、第1電極層226に対応して画素が形成される位置に合わせて貫通

孔の開口部を備えて形成される。この絶縁層228は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。

【0080】

以上の工程により、基板100上にトップゲート型(順スタガ型ともいう。)のTFTと第1電極層が接続されたEL表示パネル用のTFT基板が完成する。

【0081】

EL層229を形成する前に、大気圧中で200℃の熱処理を行い絶縁層228中若しくはその表面に吸着している水分を除去する。また、減圧下で200~400℃、好ましくは250~350℃に熱処理を行い、そのまま大気に晒さずにEL層229を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0082】

さらに、第2電極層230をEL層上に形成して発光素子234が形成される。この発光素子234は駆動用TFT232と接続された構造となる。

【0083】

続いて、シール材235を形成し、封止基板236を用いて封止する。その後、ゲート配線層202にフレキシブル配線基板237を接続しても良い。これは、信号配線層237も同様である。

【0084】

以上示したように、本実施の形態では、フォトリソマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0085】

(第5の実施の形態)

第1の実施の形態、第2の実施の形態、第3の実施の形態によって作製される液晶表示パネルにおいて、半導体層をSASで形成することによって、図3で説明したように、走査線側の駆動回路を基板100上に形成することができる。

【0086】

図20は、 $1 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度が得られるSASを使ったnチャンネル型のTFTで構成する走査線側駆動回路のブロック図を示している。

【0087】

図20において500で示すブロックが1段分のサンプリングパルスを出力するパルス出力回路に相当し、シフトレジスタはn個のパルス出力回路により構成される。501はバッファ回路であり、その先に画素502(図7の画素102に相当する。)が接続される。

【0088】

図21は、パルス出力回路500の具体的な構成を示したものであり、nチャンネル型のTFT601~612で回路が構成されている。このとき、SASを使ったnチャンネル型のTFTの動作特性を考慮して、TFTのサイズを決定すれば良い。例えば、チャンネル長を $8 \mu\text{m}$ とすると、チャンネル幅は $10 \sim 80 \mu\text{m}$ の範囲で設定することができる。

【0089】

また、バッファ回路501の具体的な構成を図22に示す。バッファ回路も同様にnチャンネル型のTFT620~636で構成されている。このとき、SASを使ったnチャ

ル型のTFTの動作特性を考慮して、TFTのサイズを決定すれば良い。例えば、チャンネル長を $10\mu\text{m}$ とすると、チャンネル幅は $10\sim 1800\mu\text{m}$ の範囲で設定することとなる。

【0090】

このような回路を実現するには、TFT相互を配線によって接続する必要があり、その場合における配線の構成例を図12に示す。図12では、第1の実施の形態と同様に、ゲート電極層203、ゲート絶縁層（窒化珪素からなる絶縁体層208、酸化珪素からなる絶縁体層209、窒化珪素からなる絶縁体層210の3層の積層体）、SASで形成される半導体層217、チャンネル保護層を形成する絶縁体層214、ソース及びドレインを形成するn型の半導体層222、223、ソース及びドレイン配線層219、220が形成された状態を示している。この場合、基板100上には、ゲート電極層203と同じ工程で接続配線層232、233、234を形成しておく。そして、接続配線層232、233、234が露出するようにゲート絶縁層の一部をエッチング加工して、ソース及びドレイン配線層219、220及びそれと同じ工程で形成する接続配線層235により適宜TFTを接続することにより様々な回路を実現することができる。

【0091】

（第6の実施の形態）

図26は走査線側入力端子部と信号線側入力端子部とに保護ダイオードを設けた一態様について図26を参照して説明する。図26において画素102にはTFT260が設けられている。このTFTは第1の実施の形態と同様な構成を有している。

【0092】

信号線側入力端子部には、保護ダイオード261と262が設けられている。この保護ダイオードは、TFT261と同様な工程で作製され、ゲートとドレイン若しくはソースの一方とを接続することによりダイオードとして動作させている。図26で示す上面図の等価回路図を図27に示している。

【0093】

保護ダイオード261は、ゲート電極層250、半導体層251、チャンネル保護用の絶縁層252、配線層253から成っている。TFT262も同様な構造である。この保護ダイオードと接続する共通電位線254、255はゲート電極層と同じ層で形成している。従って、配線層253と電気的に接続するには、ゲート絶縁層にコンタクトホールを形成する必要がある。

【0094】

ゲート絶縁層へのコンタクトホールは、液滴吐出法によりマスク層を形成し、エッチング加工すれば良い。この場合、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0095】

保護ダイオード261若しくは262は、TFT260におけるソース及びドレイン配線層219と同じ層で形成され、それに接続している信号配線層256とソース又はドレイン側が接続する構造となっている。

【0096】

走査信号線側の入力端子部も同様な構成である。このように、本発明によれば、入力段に設けられる保護ダイオードを同時に形成することができる。なお、保護ダイオードを挿入する位置は、本実施の形態のみに限定されず、図3で説明したように、駆動回路と画素との間に設けることもできる。

【0097】

（第7の実施の形態）

次に、第1の実施の形態、第2の実施の形態、第3の実施の形態によって作製される液晶表示パネルに駆動用のドライバ回路を実装する態様について、図17～図19を参照して説明する。

【0098】

まず、COG方式を採用した表示装置について、図17を用いて説明する。基板1001上には、文字や画像などの情報を表示する画素部1002、走査側の駆動回路1003、1004が設けられる。複数の駆動回路が設けられた基板1005、1008は、矩形状に分断され、分断後の駆動回路（以下ドライバICと表記）は、基板1001上に実装される。図14（A）は複数のドライバIC1007、該ドライバIC1007の先にテープ1006を実装する形態を示す。図14（B）はドライバIC1010、該ドライバIC1010の先にテープ1009を実装する形態を示す。

【0099】

次に、TAB方式を採用した表示装置について、図18を用いて説明する。基板1001上には、画素部1002、走査側の駆動回路1003、1004が設けられる。図18（A）は基板1001上に複数のテープ1006を貼り付けて、該テープ1006にドライバIC1007を実装する形態を示す。図18（B）は基板1001上にテープ1009を貼り付けて、該テープ1009にドライバIC1010を実装する形態を示す。後者を採用する場合には、強度の問題から、ドライバIC1010を固定する金属片等を一緒に貼り付けるとよい。

【0100】

これらの液晶表示パネルに実装されるドライバICは、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形の基板1005、1008上に複数個作り込むとよい。

【0101】

つまり、基板1006、1008上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、図17（A）、図18（A）に示すように、長辺が15～80mm、短辺が1～6mmの矩形に形成してもよいし、図17（B）、図18（B）に示すように、画素領域1002の一辺、又は画素部1002の一辺と各駆動回路1003、1004の一辺とを足した長さに形成してもよい。

【0102】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さにあり、長辺が15～80mmで形成されたドライバICを用いると、画素部1002に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないため生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0103】

図17（A）及び（B）、図18（A）及び（B）において、画素領域1002の外側の領域には、駆動回路が形成されたドライバIC1007、1008又は1009が実装される。これらのドライバIC1007～1009は、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域1002の端部で数ブロック毎に区分して引出線を形成し、ドライバIC1007～1009の出力端子のピッチに合わせて集められる。

【0104】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、該結晶質半導体は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することが可能となる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。なお、さらなる動作周波数の向上を目的として、トランジスタのチャネル長方向とレーザ光の走査方向と一致させるとよい。

これは、連続発光レーザによるレーザ結晶化工程では、トランジスタのチャネル長方向とレーザ光の基板に対する走査方向とが概ね並行（好ましくは $-30^{\circ} \sim 30^{\circ}$ ）であるときに、最も高い移動度が得られるためである。なおチャネル長方向とは、チャネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャネル方向に延在する多結晶半導体層によって構成される活性層を有し、このことは結晶粒界が概ねチャネル方向に沿って形成されていることを意味する。

【0105】

レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのビームスポットの幅は、ドライバICの短辺の同じ幅の1~3mm程度とすることがよい。また、被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。例えば、アスペクト比が2以上（好ましくは10~10000）のものを指す。このように、レーザ光のビームスポットの幅をドライバICの短辺と同じ長さとするすることで、生産性を向上させた表示装置の作製方法を提供することができる。

【0106】

図17、図18では、走査線駆動回路は画素部と共に一体形成し、信号線駆動回路としてドライバICを実装した形態を示した。しかしながら、本発明はこの形態に限定されず、走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするとい

。

【0107】

画素領域1002は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本発明は、画素領域1002に配置されるトランジスタとして、非晶質半導体又はセミアモルファス半導体をチャネル部としたTFTを用いることを特徴とする。非晶質半導体は、プラズマCVD法やスパッタリング法等の方法により形成する。セミアモルファス半導体は、プラズマCVD法で300℃以下の温度で形成することが可能であり、例えば、外寸550×650mmの無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスTFTは、SASでチャネル形成領域を構成することにより $2 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、このTFTを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した液晶表示パネルを作製することができる。

【0108】

なお、図17、図18では、第3の実施の形態に従い、半導体層をSASで形成したTFTを用いることにより、走査線側駆動回路も基板上に一体形成することを前提として示している。半導体層をASで形成したTFTを用いる場合には、走査線側駆動回路及び信号線側駆動回路の両方をドライバICを実装してもよい。

【0109】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするのが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャネル長などはミクロンルールで設定することが好適である。

【0110】

図19はドライバICをCOGで実装する構成を示し、図2で示す液晶表示パネルの場合に相当する場合を示している。図19(A)はTFT基板200に、ドライバIC106が異方性導電材を用いて実装された構造を示す。TFT基板200上には画素領域101、信号線側入力端子104(走査線入力端子103であっても同様である。)を有している。対向基板229はシール材226でTFT基板200と接着されており、その間に液晶層230が形成されている。

【0111】

信号線側入力端子104には、FPC812が異方性導電材で接着されている。異方性導電材は樹脂815と表面にAuなどがメッキされた数十〜数百 μm 径の導電性粒子814から成り、導電性粒子814により信号線側入力端子104とFPC812に形成された配線813とが電氣的に接続される。ドライバIC106も、異方性導電材でTFT基板200に接着され、樹脂811中に混入された導電性粒子810により、ドライバIC106に設けられた入出力端子809と信号線側入力端子104と電氣的に接続される。

【0112】

また、図19(B)で示すように、TFT基板200にドライバIC106を接着材816で固定して、Auワイヤ817によりドライバICの入出力端子と引出線または接続配線とを接続しても良い。そして封止樹脂818で封止する。なお、ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

【0113】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じてても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

【0114】

以上のようにして、液晶表示パネルに駆動回路を組み入れることができる。

【0115】

(第8の実施の形態)

第7の実施の形態により作製される液晶表示パネルによって、液晶テレビ受像機を完成させることができる。図23は液晶テレビ受像機の主要な構成を示すブロック図を示している。液晶表示パネルには、図1で示すような構成として画素部401のみが形成されて走査線側駆動回路403と信号線側駆動回路402とがTAB方式により実装される場合と、図2に示すような構成として画素部401とその周辺に走査線側駆動回路403と信号線側駆動回路402とがCOG方式により実装される場合と、図3に示すようにSASでTFTを形成し、画素部401と走査線側駆動回路403を基板上に一体形成し信号線側駆動回路402を別途ドライバICとして実装する場合などがあるが、どのような形態としても良い。

【0116】

その他の外部回路の構成として、映像信号の入力側では、チューナ404で受信した信号のうち、映像信号を増幅する映像信号増幅回路405と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に交換するためのコントロール回路407などからなっている。コントロール回路407は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路408を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0117】

チューナ404で受信した信号のうち、音声信号は、音声信号増幅回路409に送られ、その出力は音声信号処理回路410を経てスピーカ413に供給される。制御回路41

1は受信局（受信周波数）や音量の制御情報を入力部412から受け、チューナ404や音声信号処理回路410に信号を送出する。

【0118】

図24は液晶表示モジュールの一例であり、TFT基板200と対向基板229がシール材226により固着され、その間に画素部101と液晶層230が設けられ表示領域を形成している。着色層250はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板200と対向基板229の外側には偏光板251、252が配設されている。光源は冷陰極管258と導光板259により構成され、回路基板257は、フレキシブル配線基板256によりTFT基板200と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。

【0119】

図25この液晶表示モジュールを筐体2301に組みこんでテレビ受像機を完成させた状態を示している。液晶表示モジュールにより表示画面2303が形成され、その他付属設備としてスピーカ2304、操作スイッチ2305などが備えられている。このように、本発明によりテレビ受像機を完成させることができる。

【0120】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

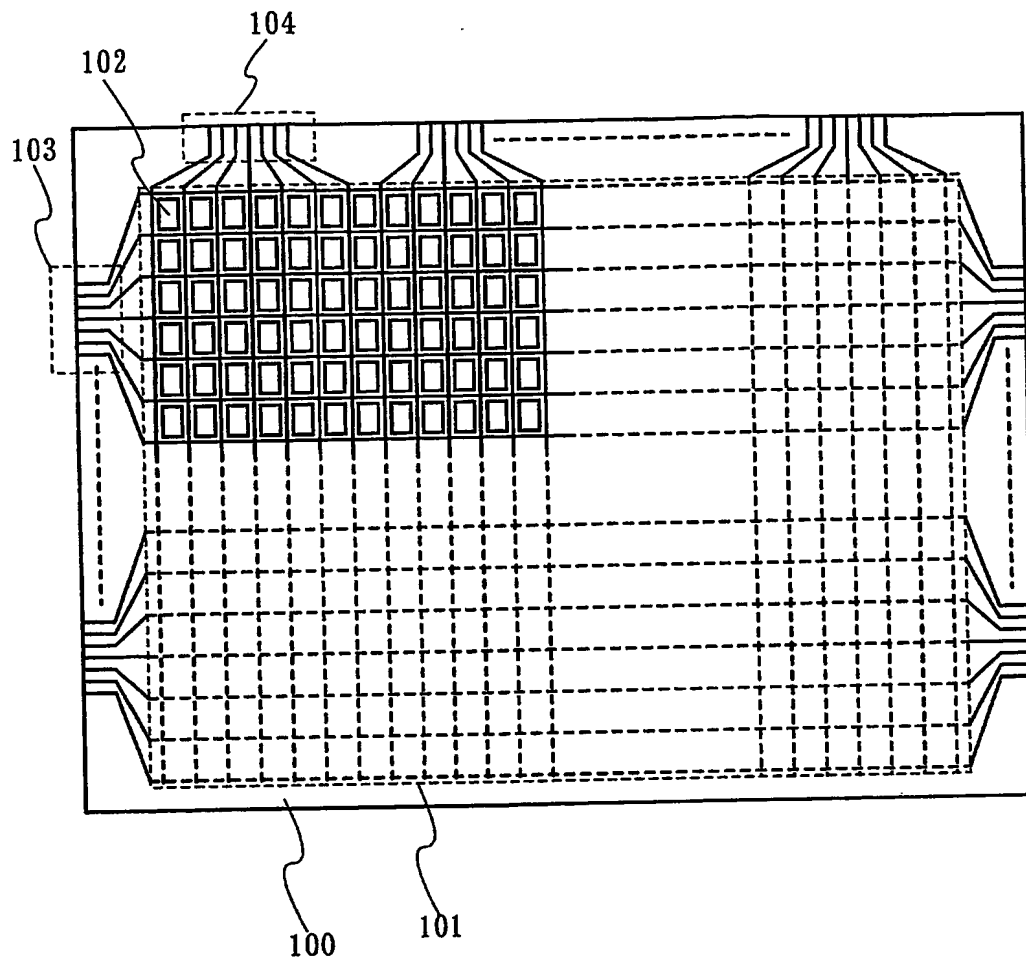
【図面の簡単な説明】

【0121】

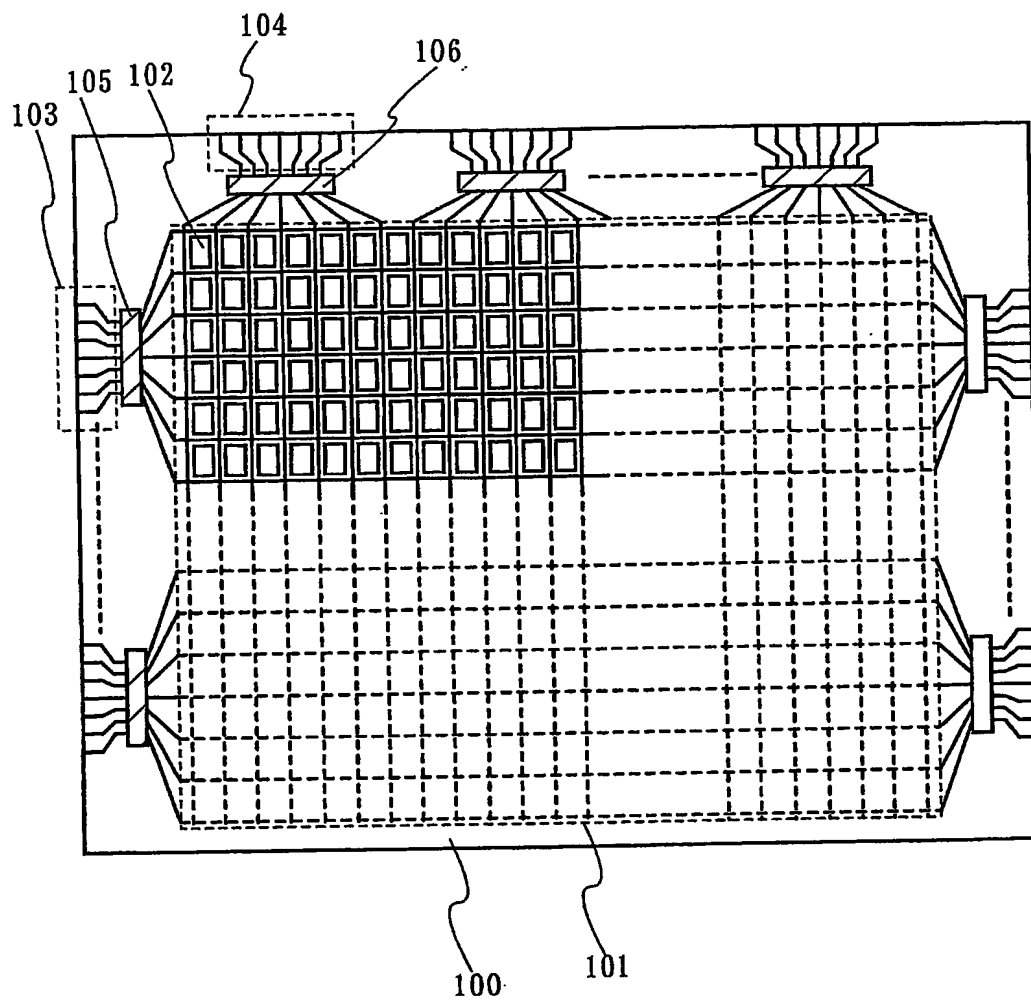
- 【図1】 本発明の液晶表示パネルの構成を説明する上面図である。
- 【図2】 本発明の液晶表示パネルの構成を説明する上面図である。
- 【図3】 本発明の液晶表示パネルの構成を説明する上面図である。
- 【図4】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図5】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図6】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図7】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図8】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図9】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図10】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図11】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図12】 本発明の液層表示パネルの作製方法を説明する断面図である。
- 【図13】 本発明の液層表示パネルの作製方法を説明する上面図である。
- 【図14】 本発明の液層表示パネルの作製方法を説明する上面図である。
- 【図15】 本発明の液層表示パネルの作製方法を説明する上面図である。
- 【図16】 本発明の液層表示パネルの作製方法を説明する上面図である。
- 【図17】 本発明の液晶表示パネルの駆動回路の実装方法（COG方式）を説明する図である。
- 【図18】 本発明の液晶表示パネルの駆動回路の実装方法（TAB方式）を説明する図である。
- 【図19】 本発明の液晶表示パネルの駆動回路の実装方法（COG方式）を説明する図である。
- 【図20】 本発明の液層表示パネルにおいて走査線側駆動回路をTFTで形成する場合の回路構成を説明する図である。
- 【図21】 本発明の液層表示パネルにおいて走査線側駆動回路をTFTで形成する場合の回路構成を説明する図である（シフトレジスタ回路）。
- 【図22】 本発明の液層表示パネルにおいて走査線側駆動回路をTFTで形成する場合の回路構成を説明する図である（バッファ回路）。

- 【図 23】 本発明の液晶テレビ受像機の主要な構成を示すブロック図である。
- 【図 24】 本発明の液晶表示モジュールの構成を説明する図である。
- 【図 25】 本発明により完成するテレビ受像機の構成を説明する図である。
- 【図 26】 本発明の液層表示パネルを説明する上面図である。
- 【図 27】 図 26 で説明する液晶表示パネルの等価回路図である。
- 【図 28】 本発明に適用することのできる液滴吐出装置の構成を説明する図である。
- 【図 29】 本発明の EL 表示パネルを説明する断面図である。

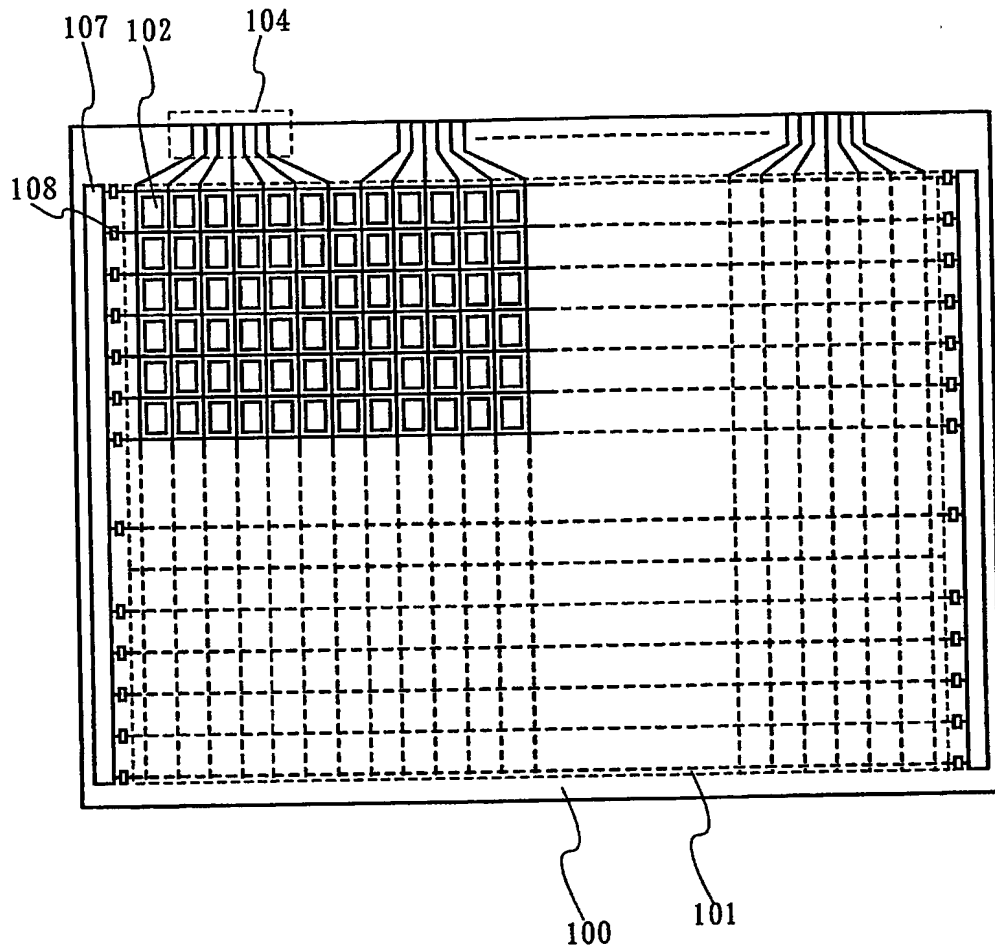
【書類名】 図面
【図 1】



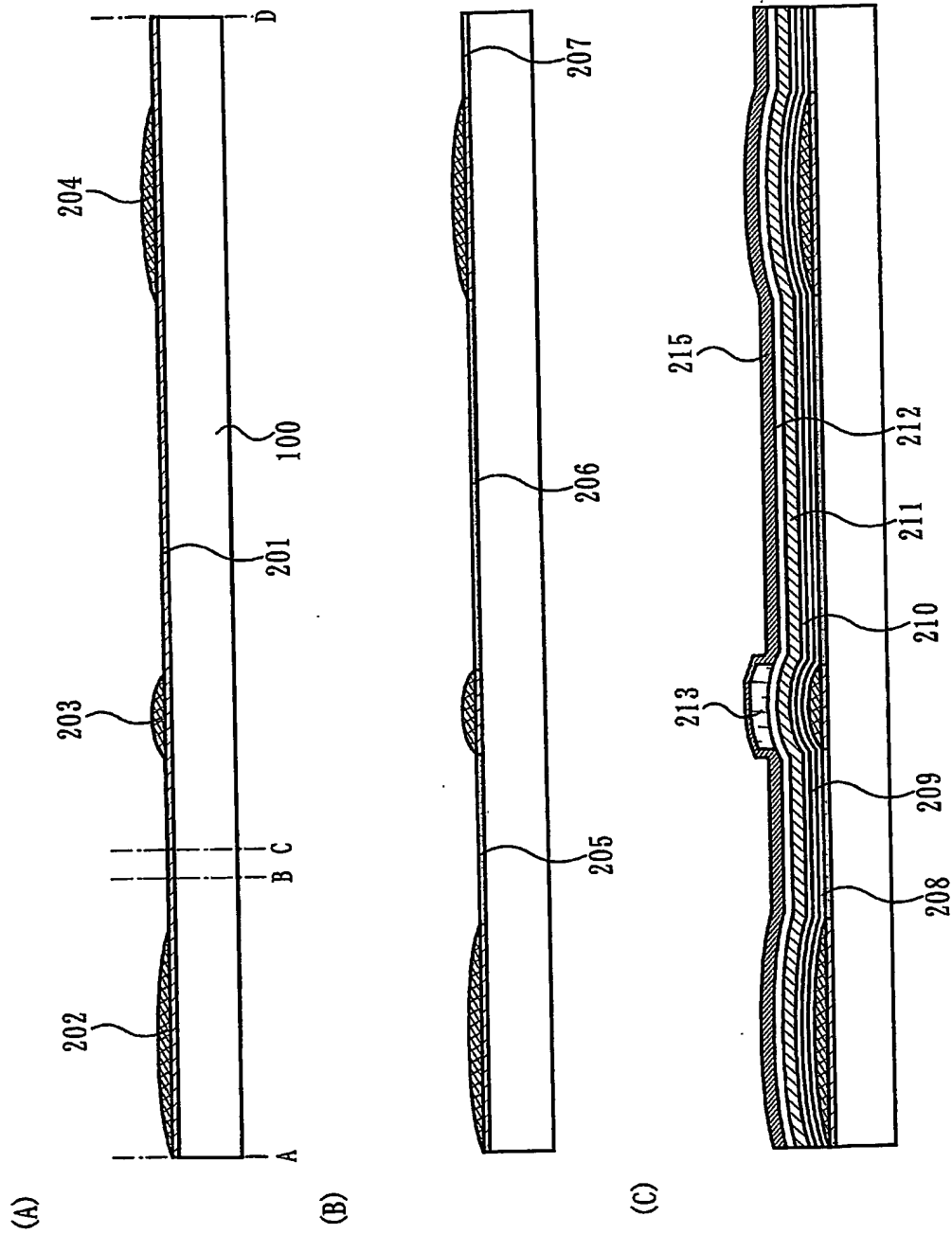
【図 2】



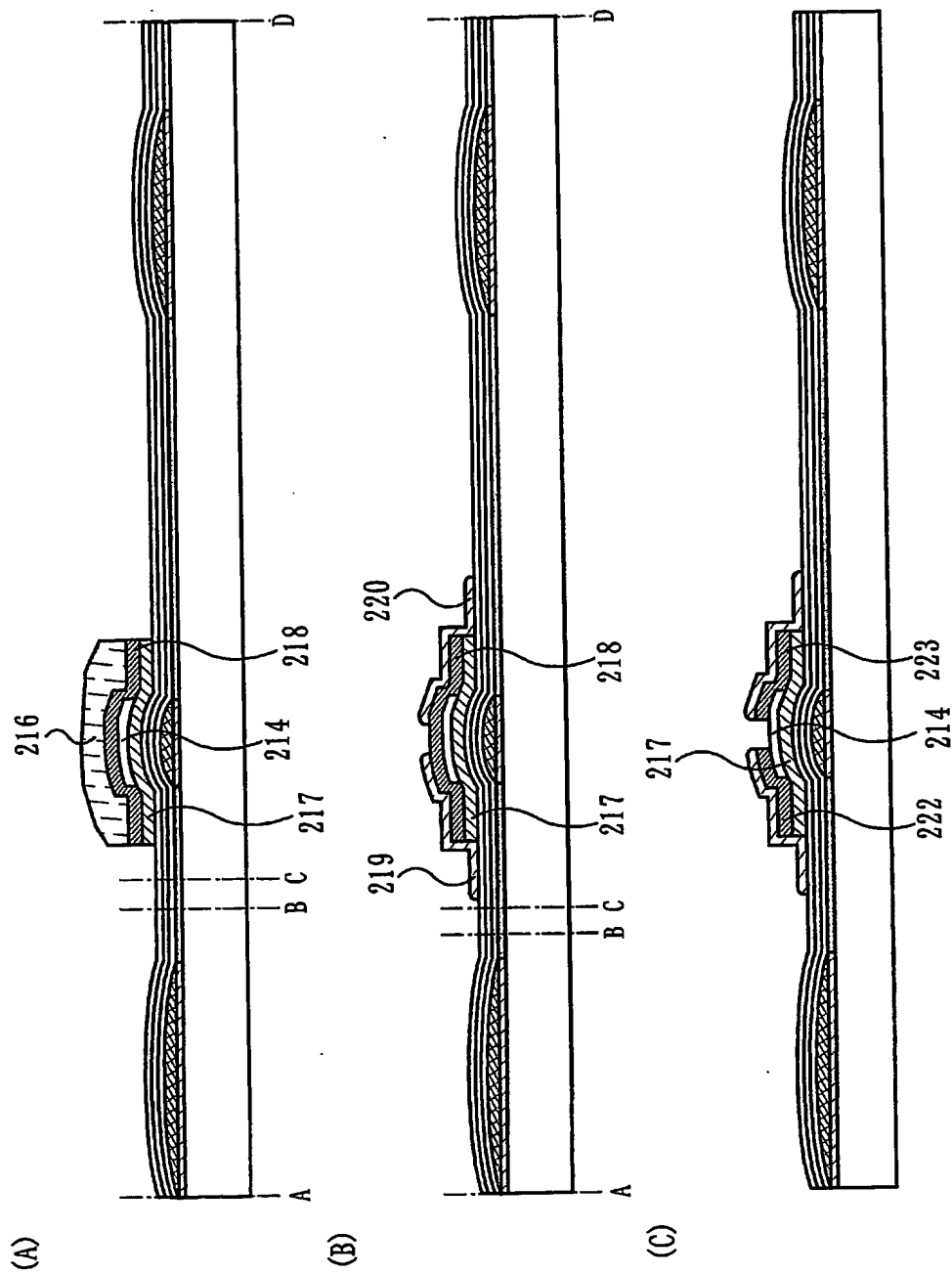
【図 3】



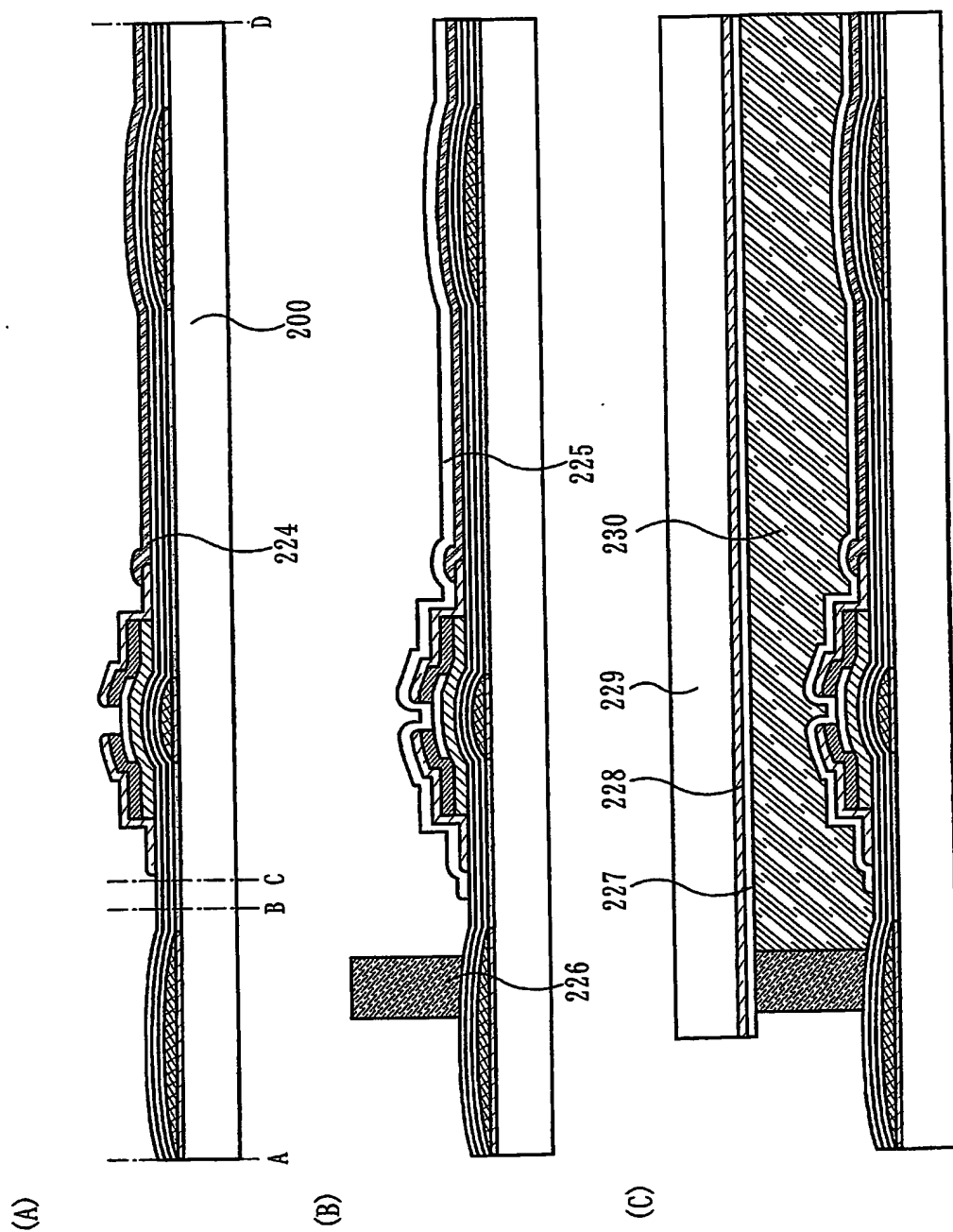
【図 4】



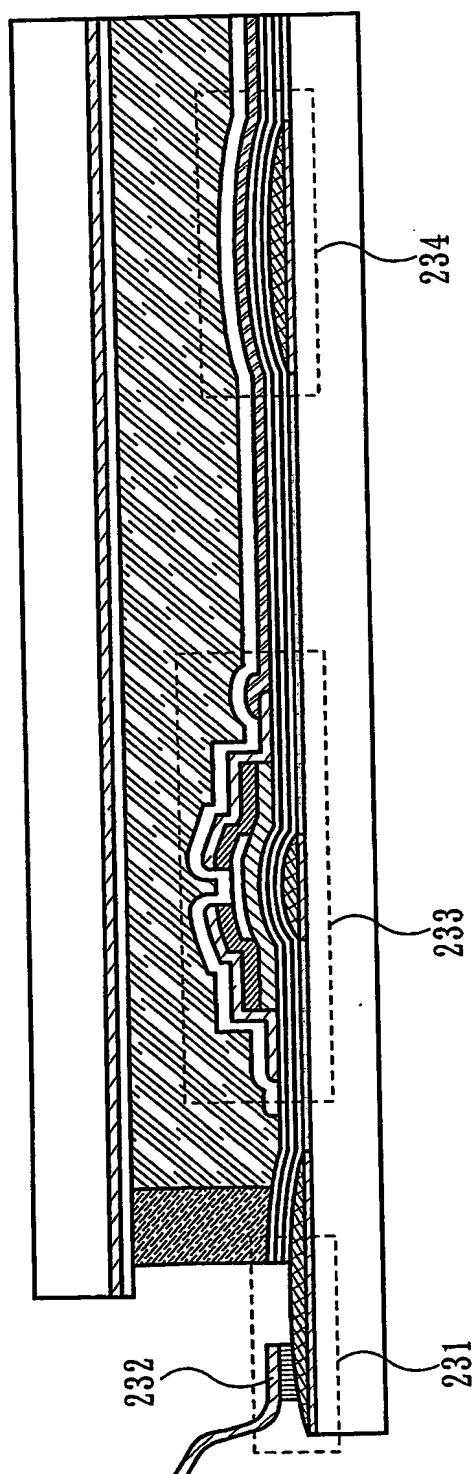
【図 5】



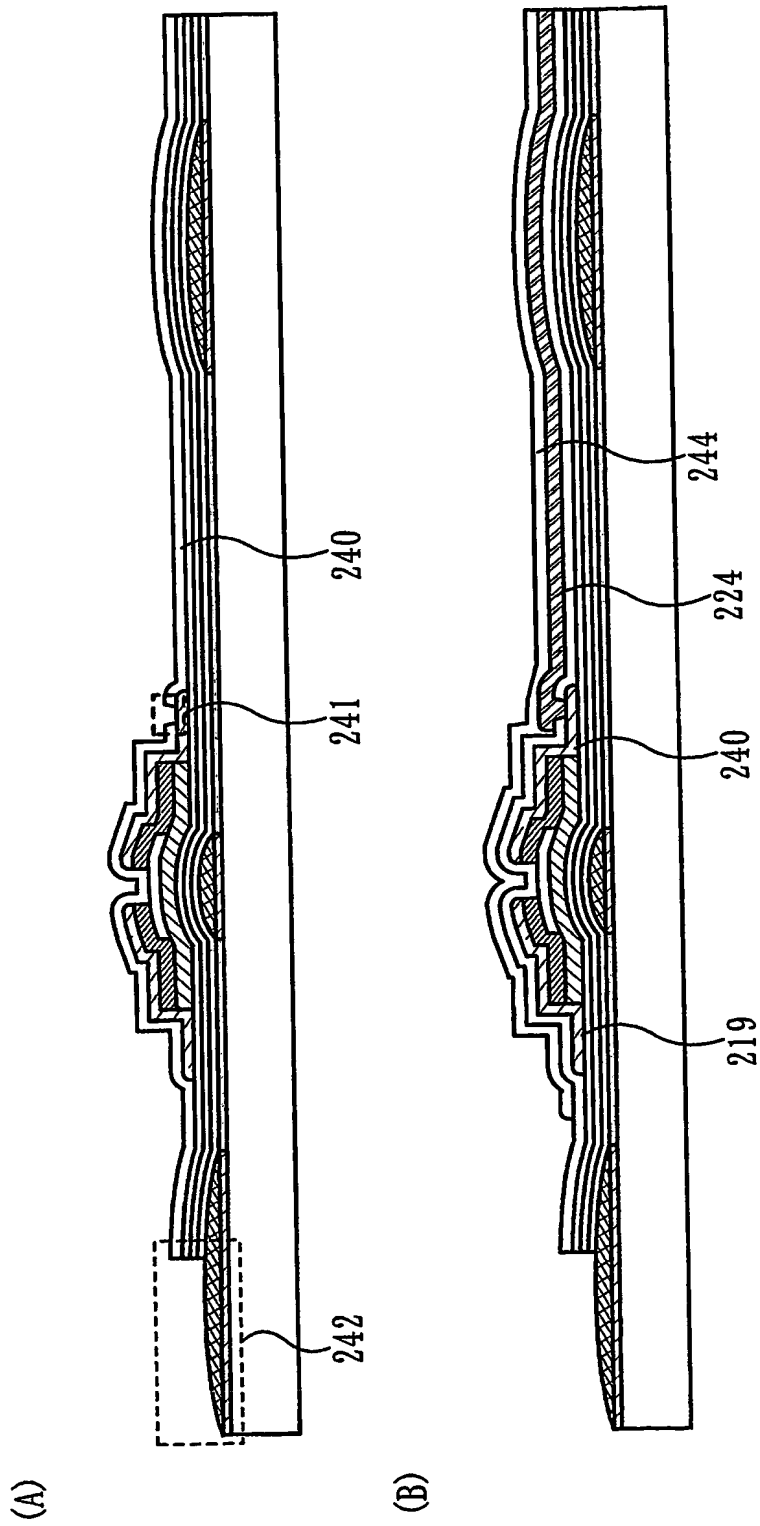
【図 6】



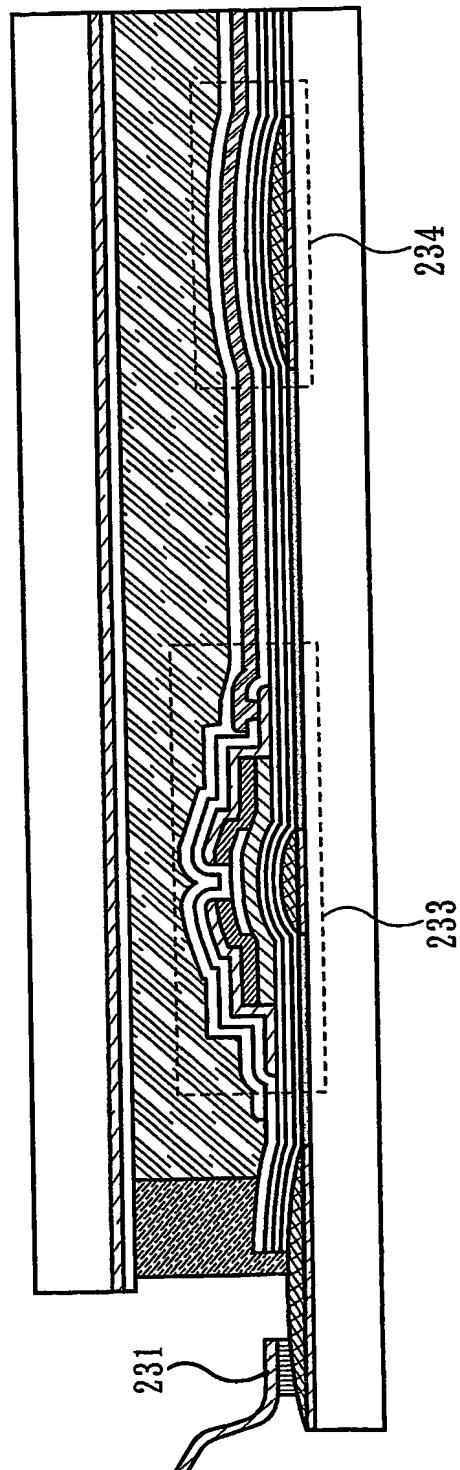
【図 7】



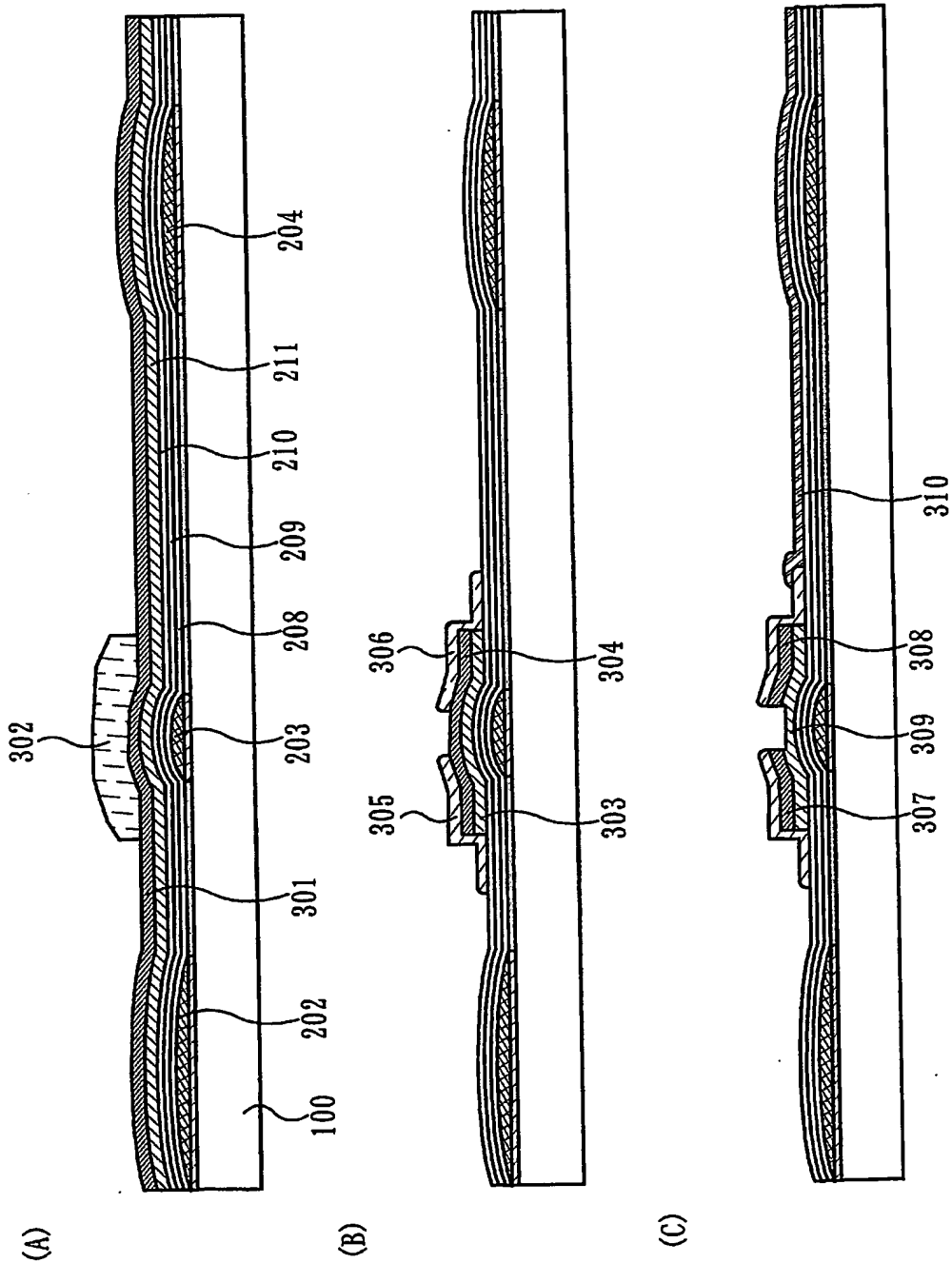
【図 8】



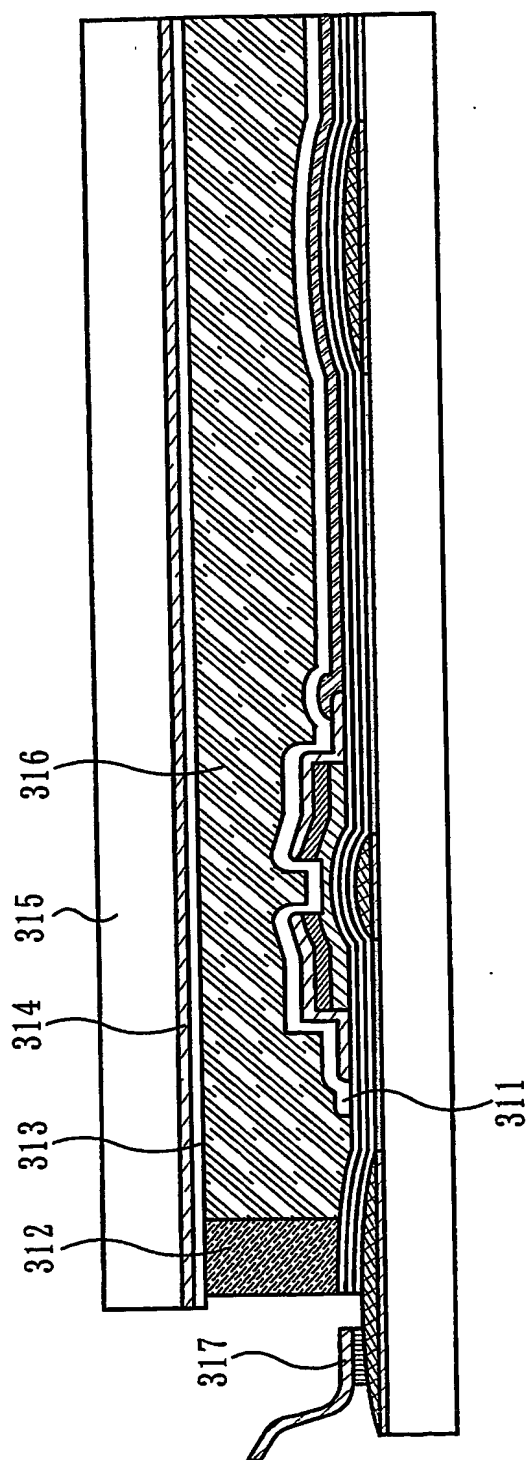
【図 9】



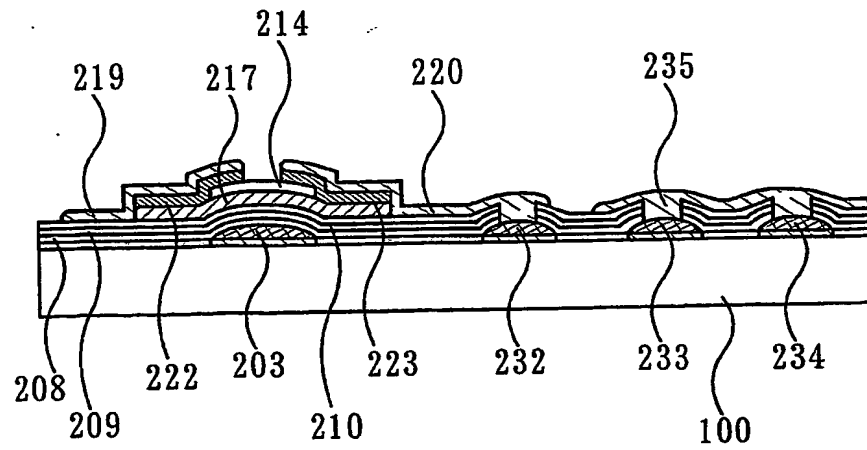
【図 10】



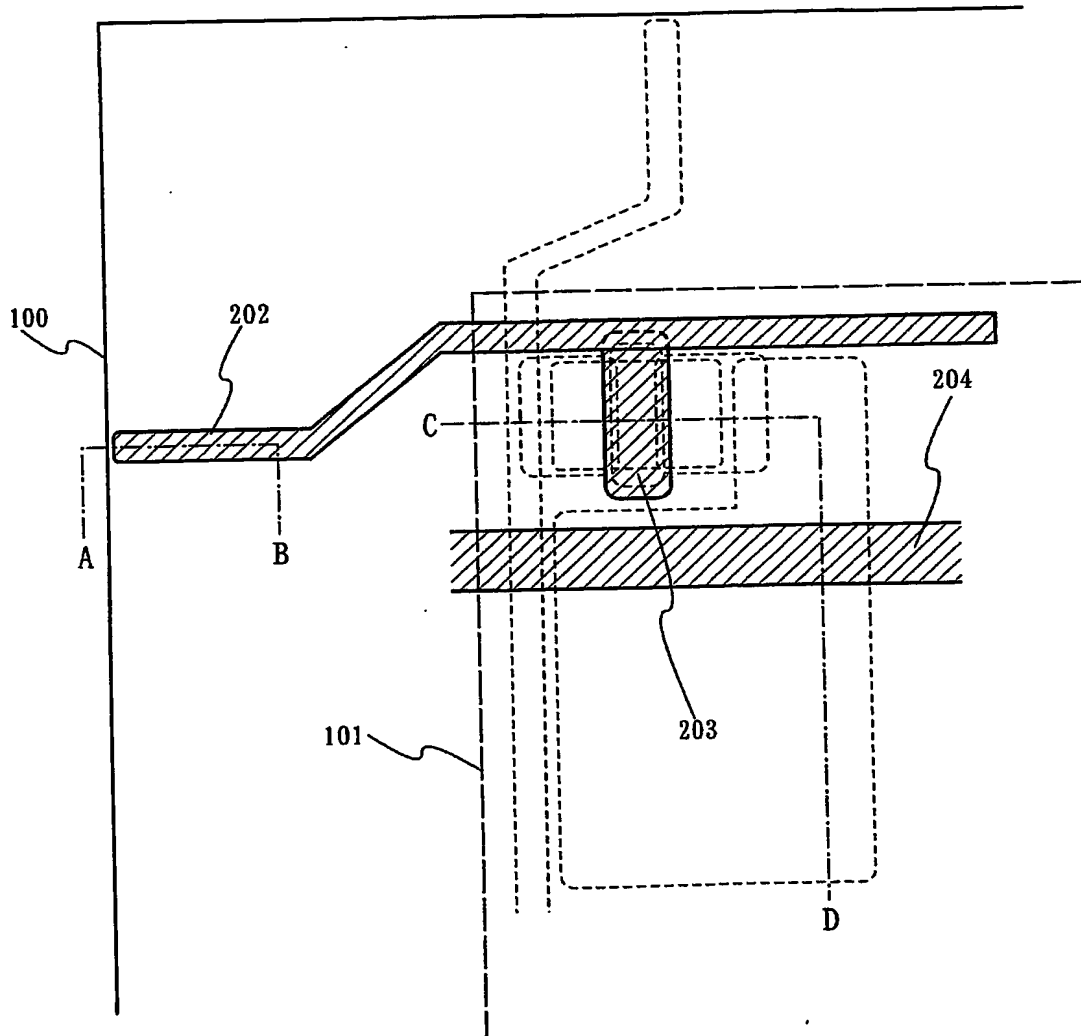
【図 11】



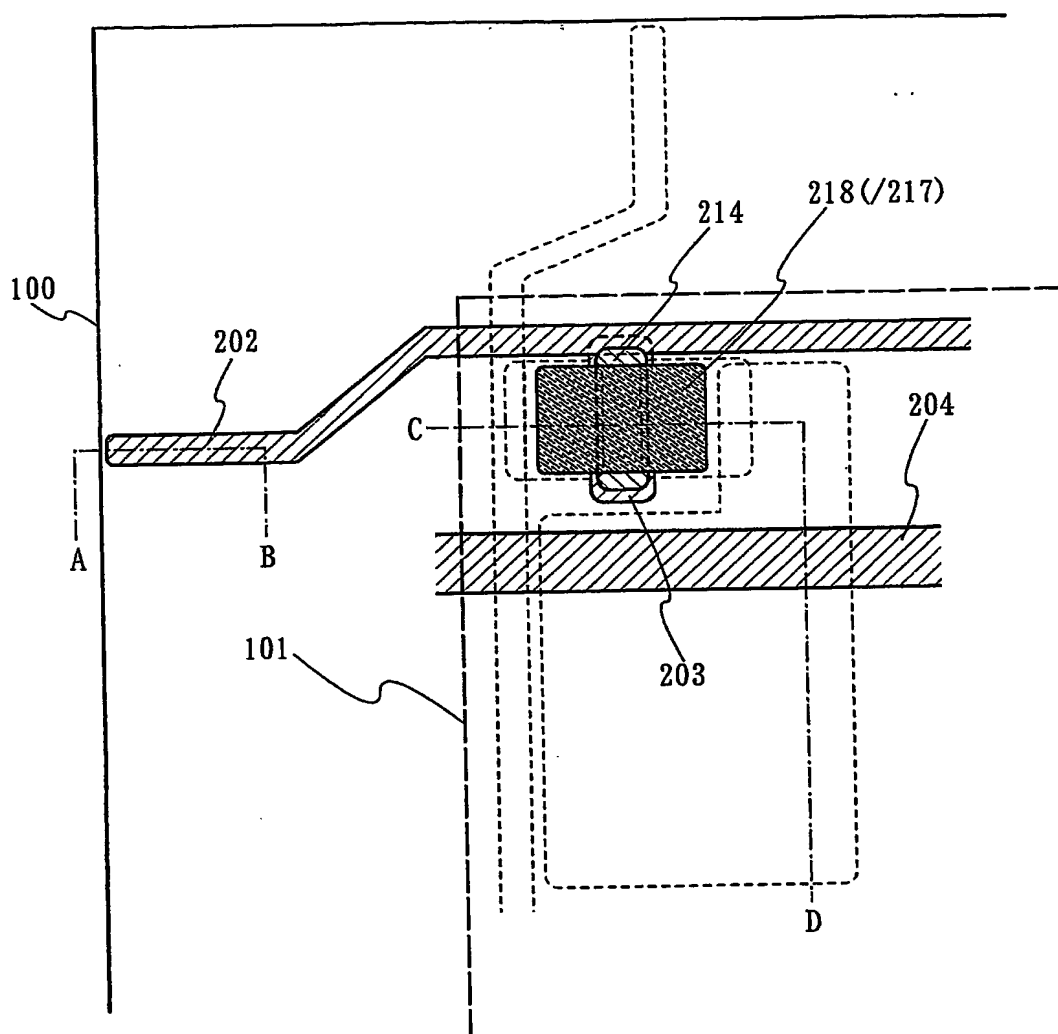
【図 12】



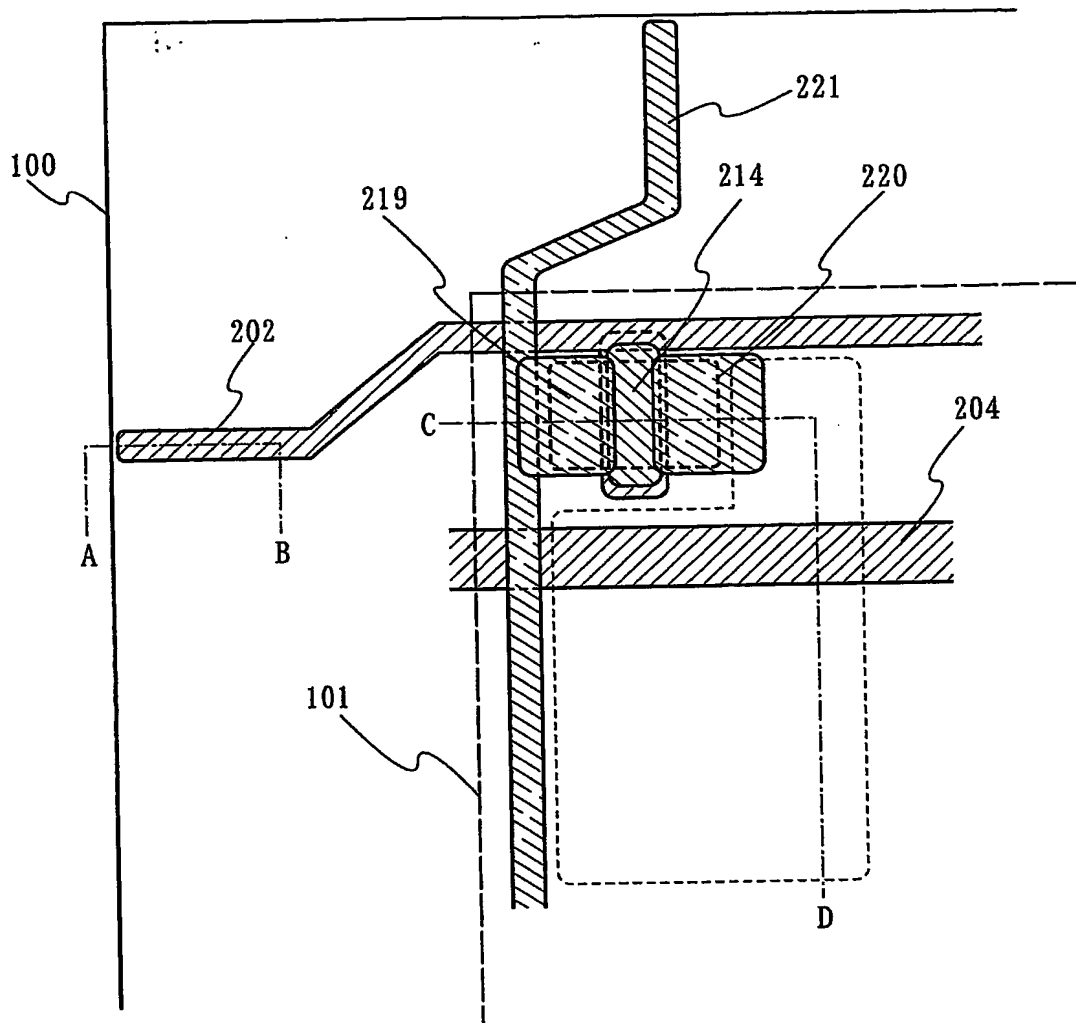
【図 13】



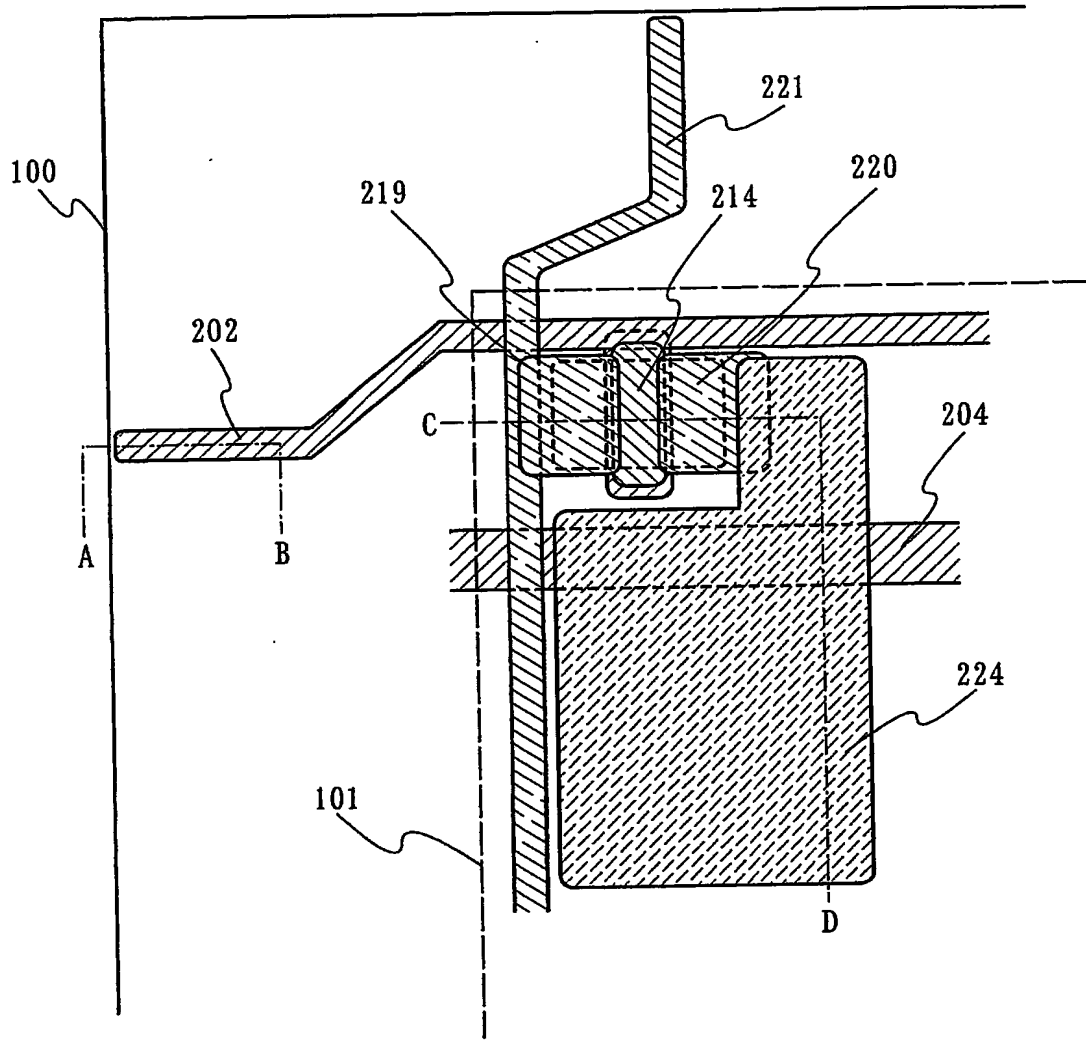
【図 14】



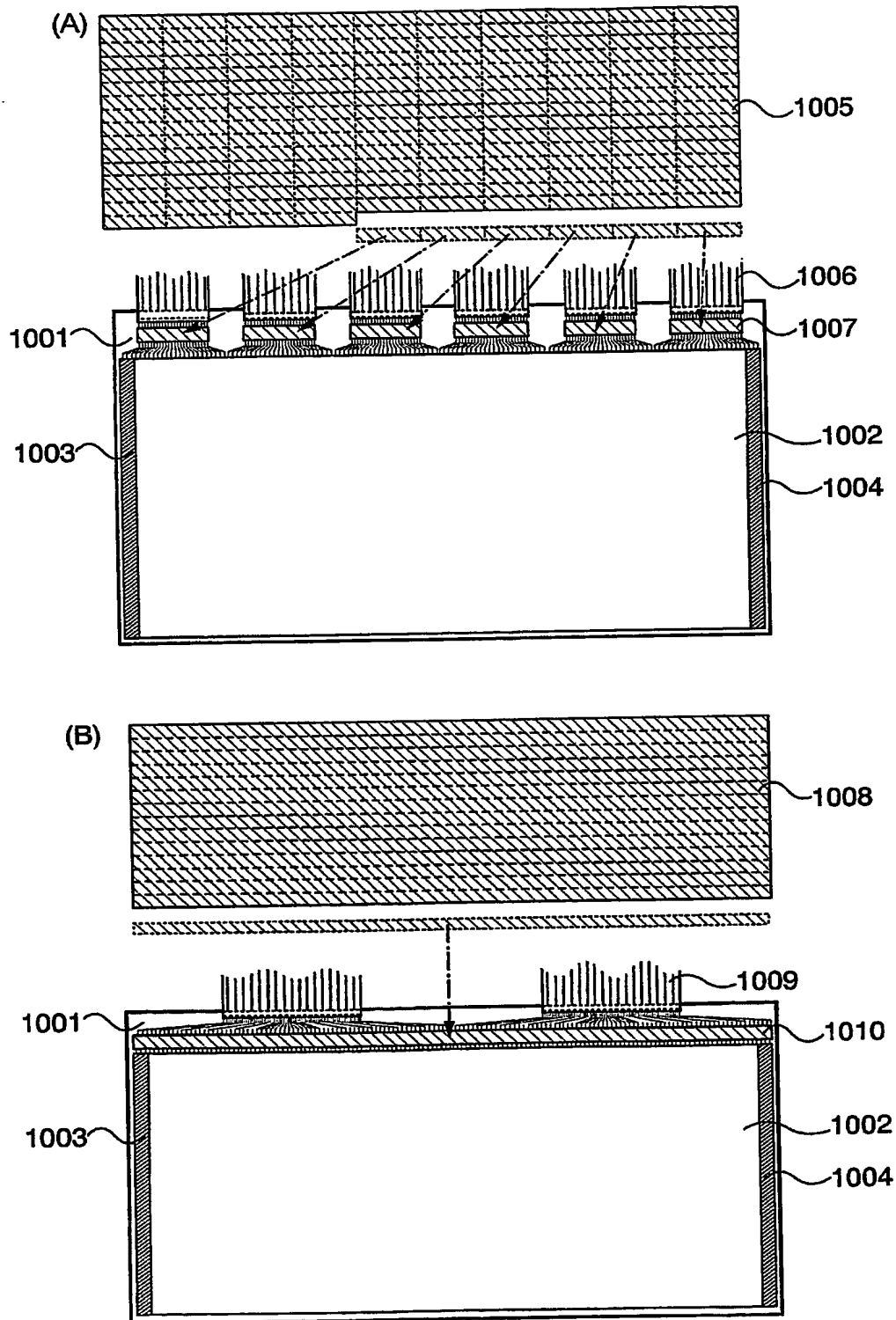
【図 15】



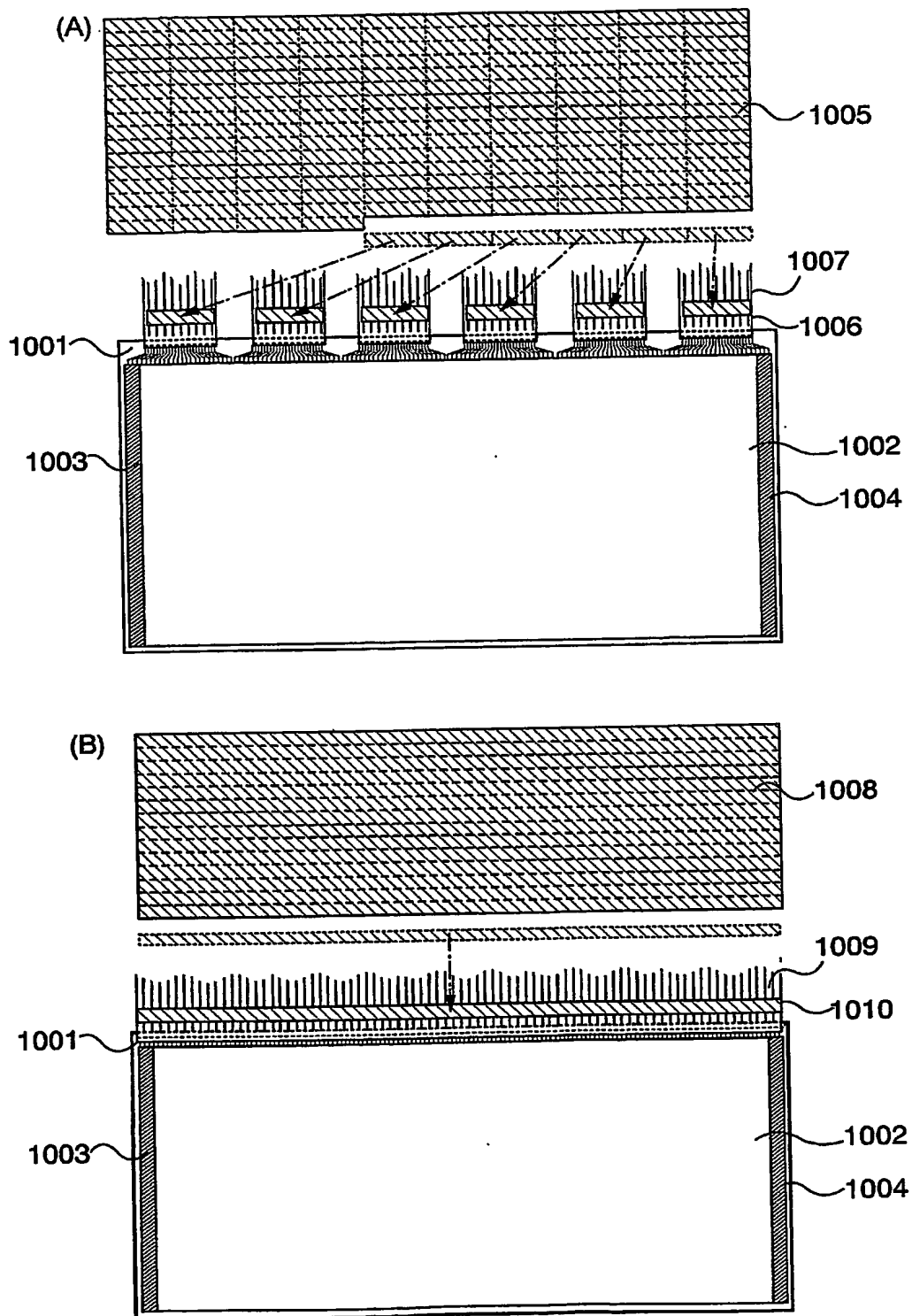
【図 16】



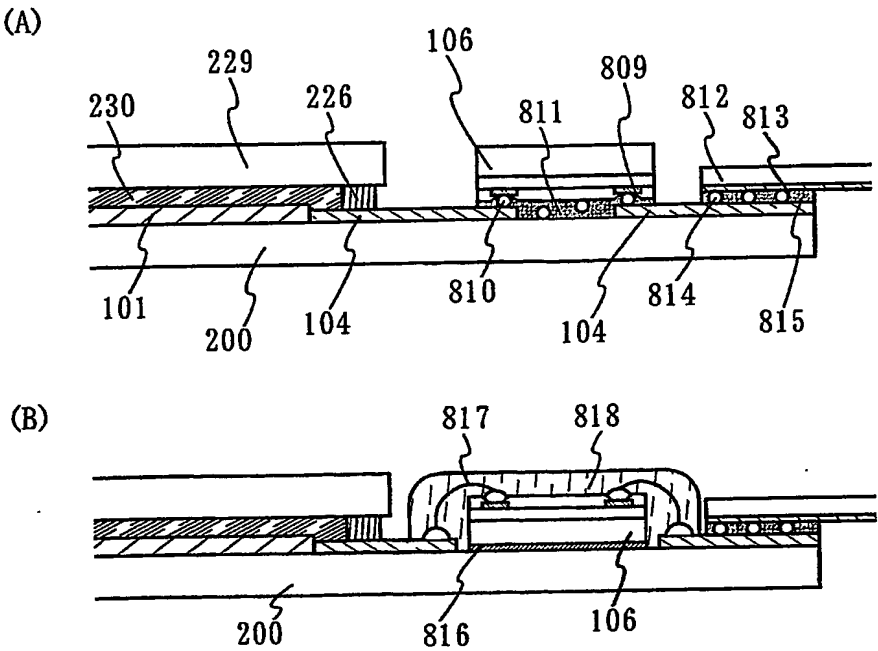
【図 17】



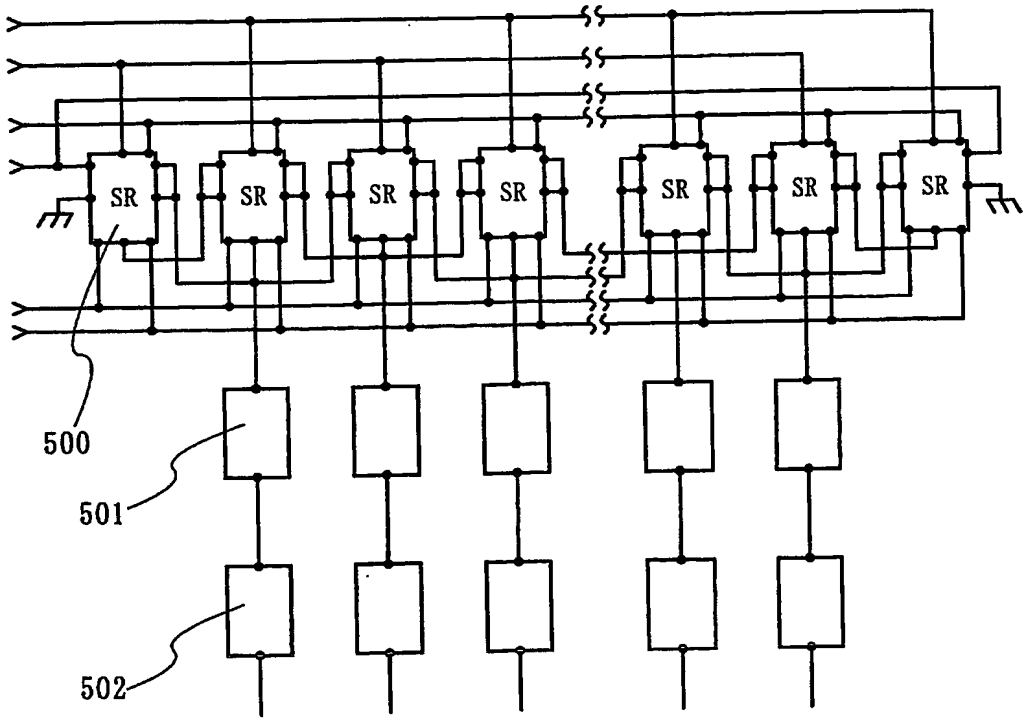
【図 18】



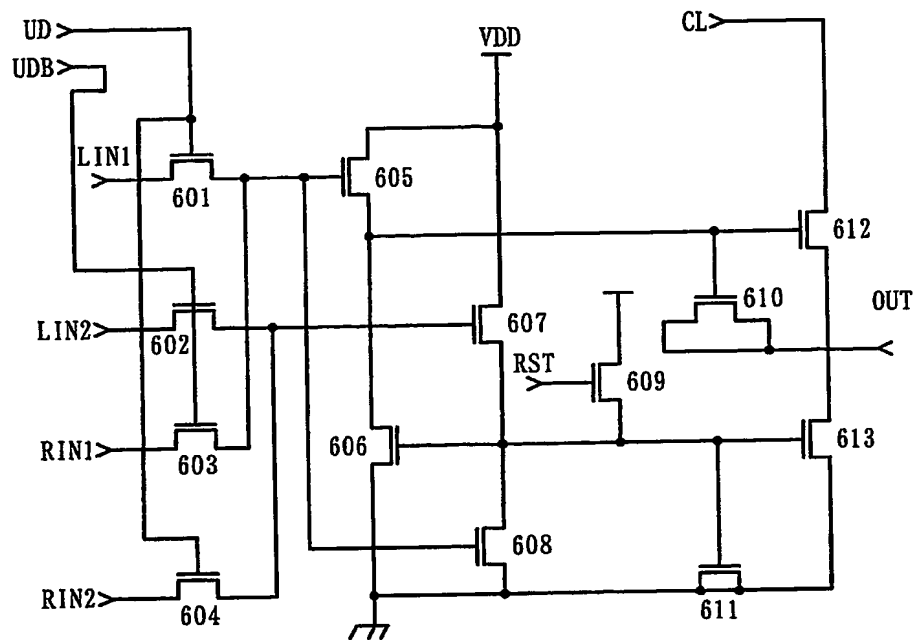
【図 19】



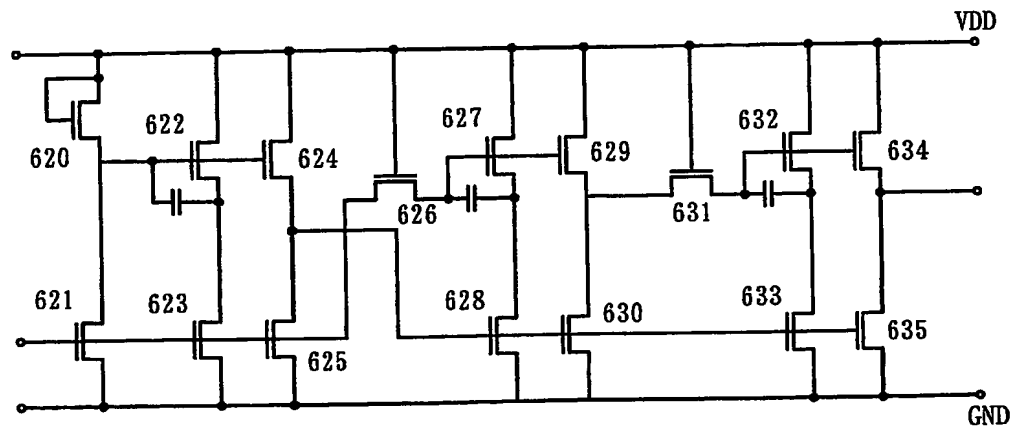
【図 20】



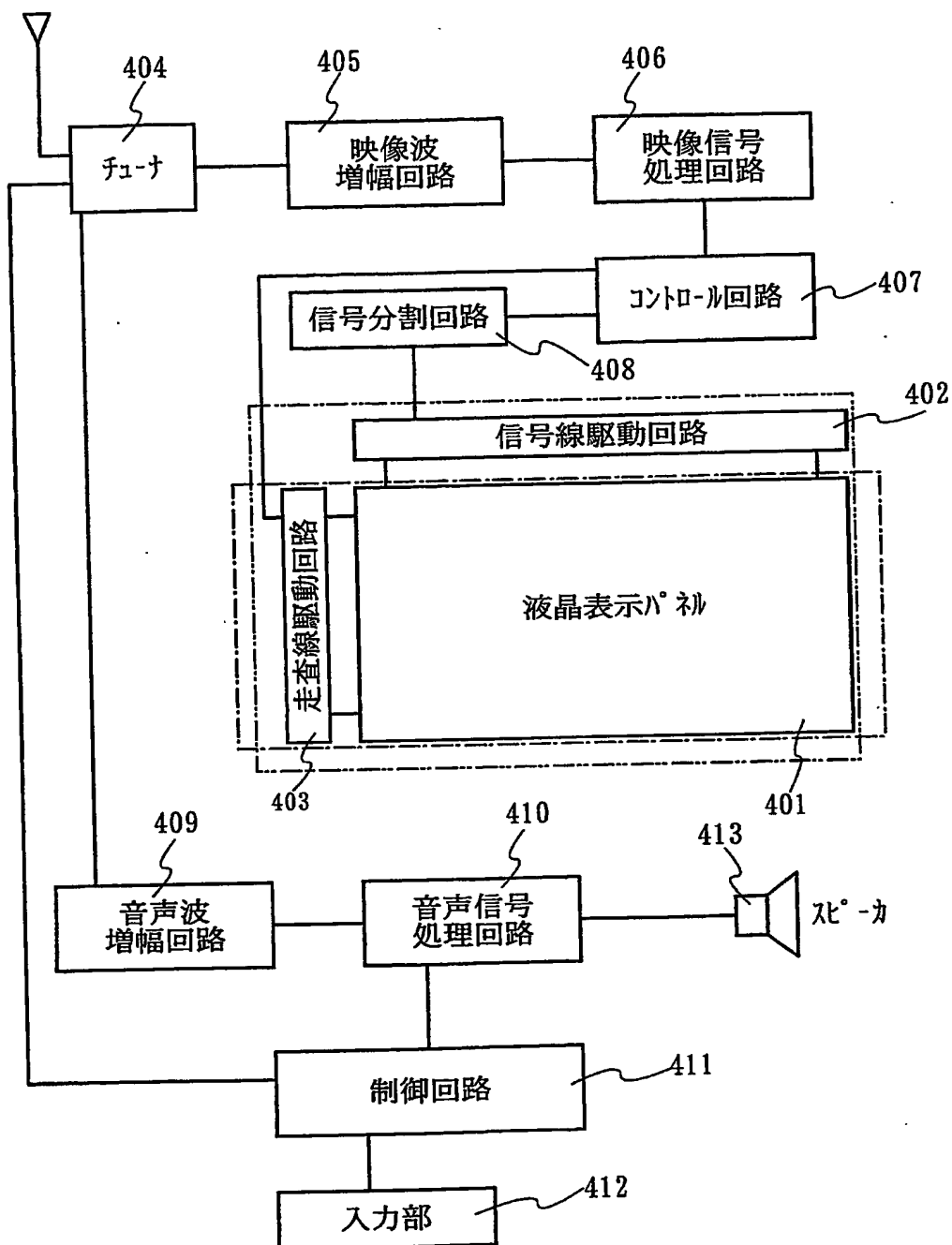
【図 2 1】



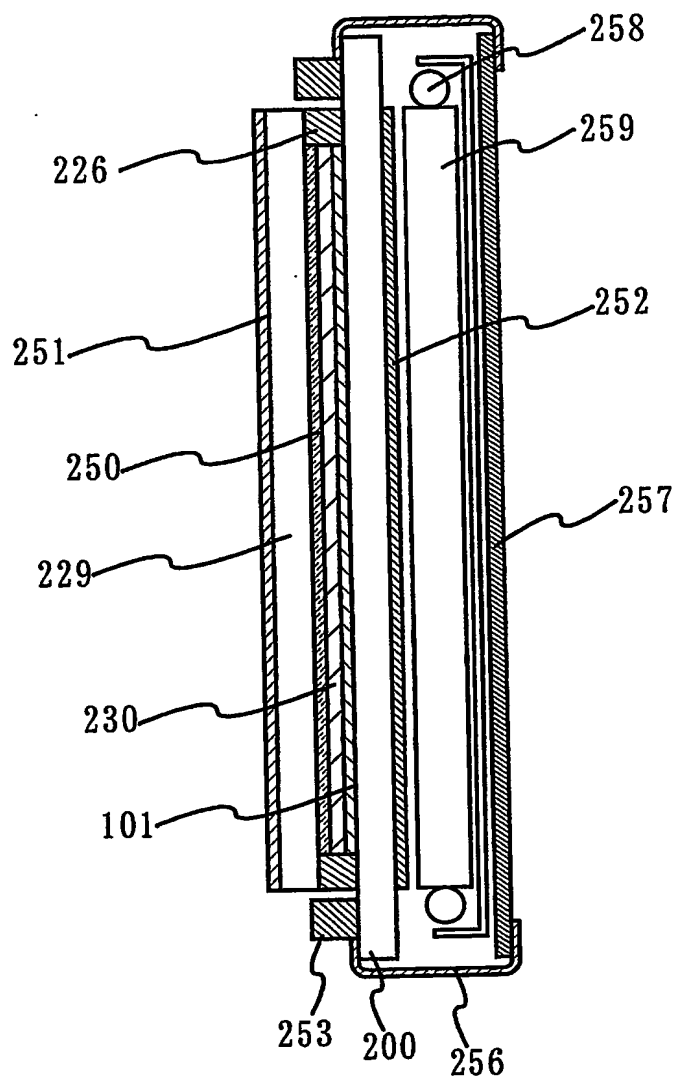
【図 2 2】



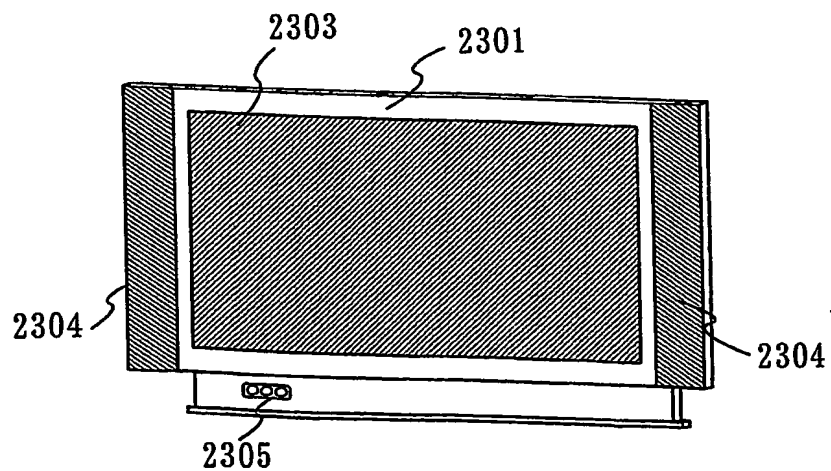
【図 23】



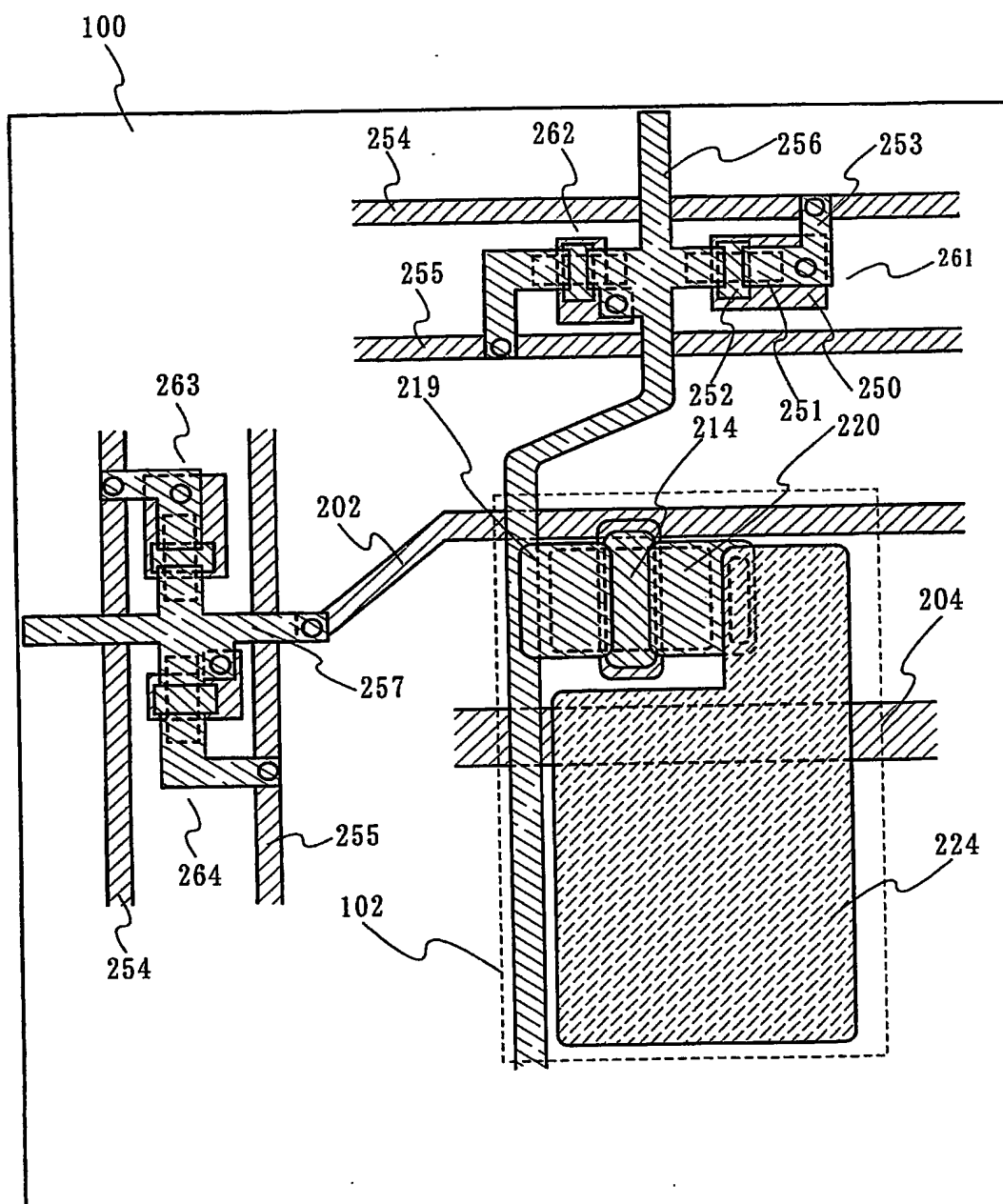
【図 24】



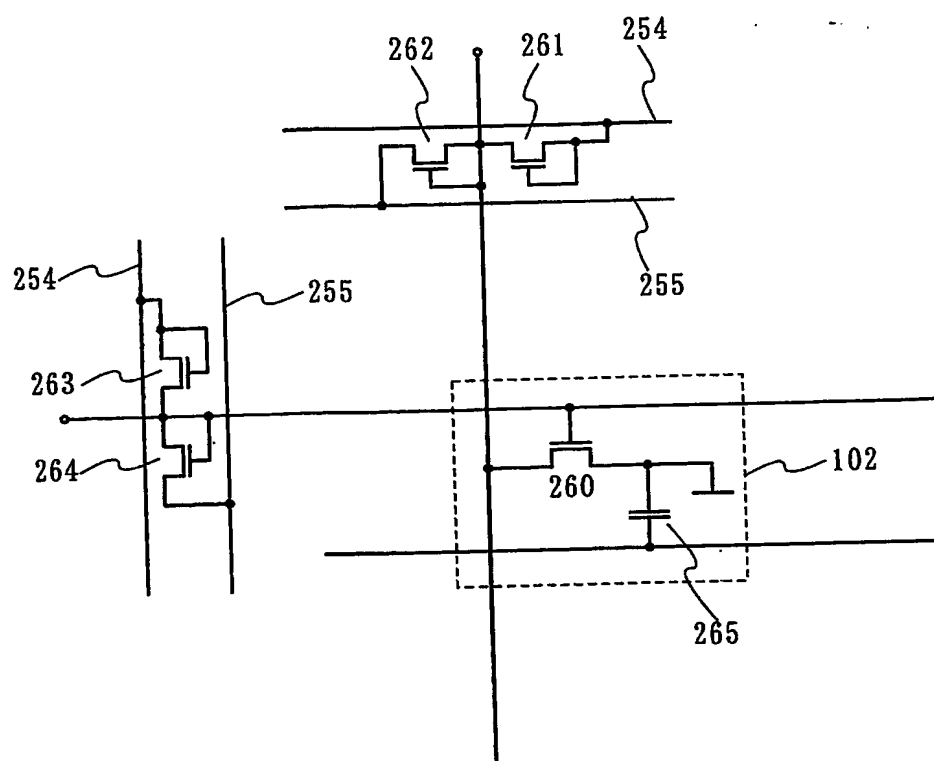
【図 25】



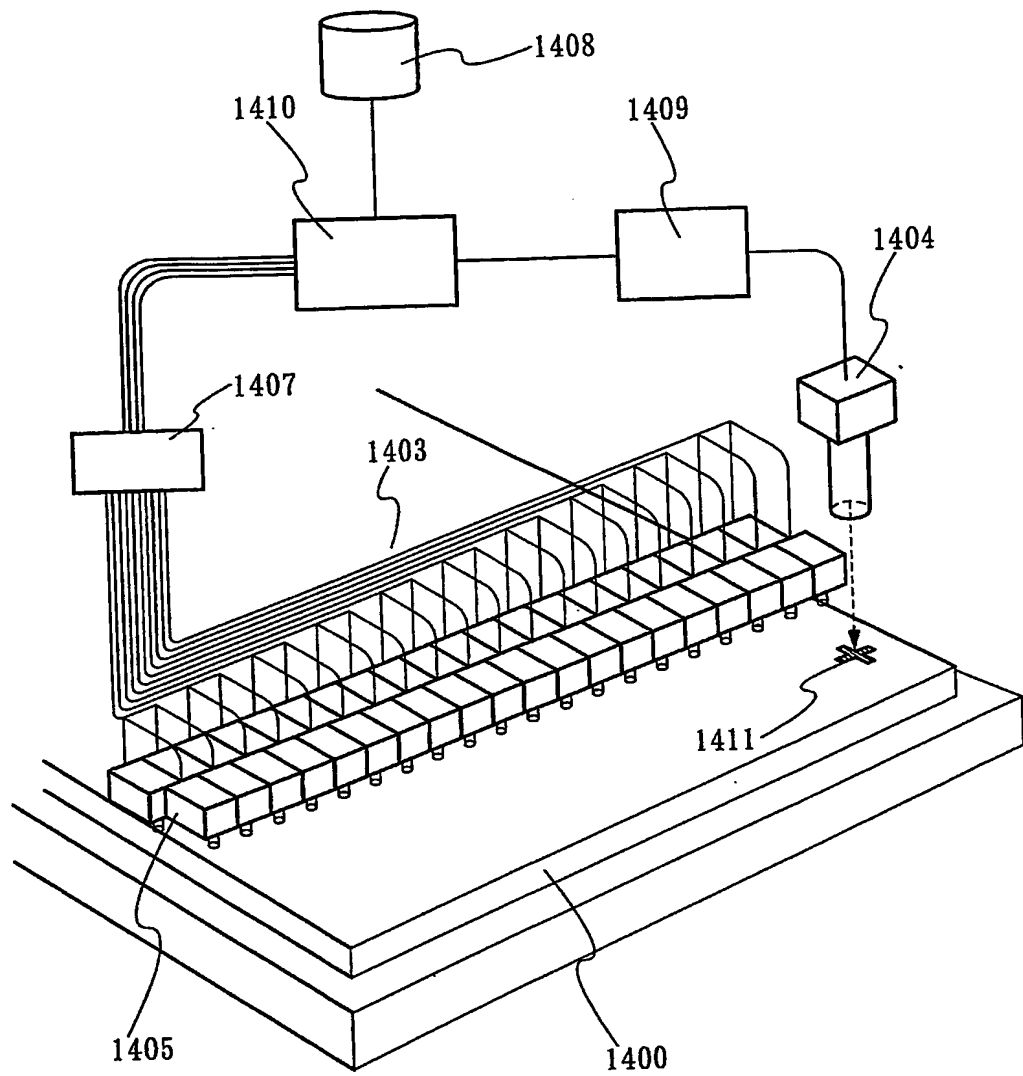
【図 26】



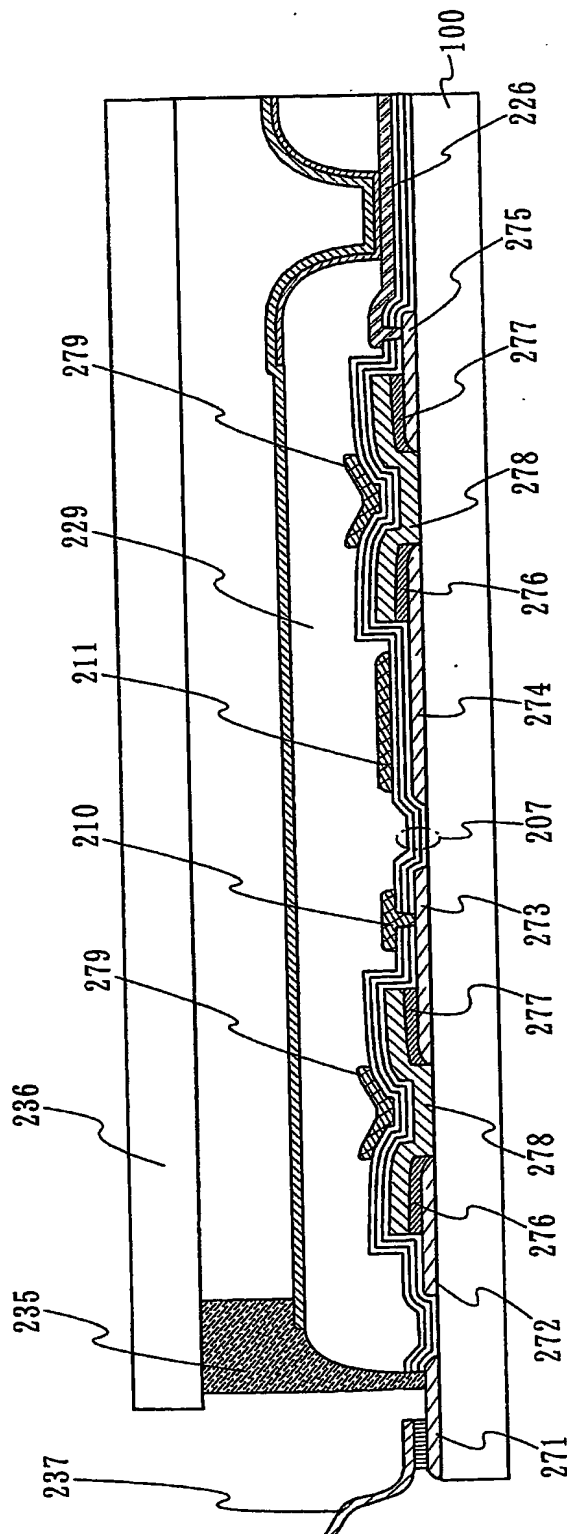
【図 27】



【図 28】



【図 29】



【書類名】 要約書**【要約】**

【課題】 従来踏襲されてきた液晶表示装置の製造技術は、基板の全面に各種の被膜を形成し、僅かな領域を残してエッチング除去する工法であり、材料コストを浪費し、多量の廃液を処理することが要求されていた。

【解決手段】 配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスク層など液晶表示装置を作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、液晶表示装置を製造することを特徴とするものである。選択的にパターンを形成可能な方法として、導電層や絶縁層など形成し対し、特定の目的に調合された組成物の液滴を選択的に吐出して所定のパターンを形成することが可能な、液滴吐出法を用いる。

【選択図】 図 7

特願 2 0 0 3 - 3 6 8 1 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所